

Chip module with conductor paths on the chip bonding side of a chip carrier

Patent Number: US6093971

Publication date: 2000-07-25

Inventor(s): AZDASHT GHASSEM (DE); KASULKE PAUL (DE); ZAKEL ELKE (DE); OPPERMANN HANS-HERMANN (DE)

Applicant(s): FRAUNHOFER GES FORSCHUNG (DE)

Requested Patent: DE19702014

Application Number: US19970850547 19970502

Priority Number(s): DE19961042358 19961014; DE19971002014 19970122

IPC Classification: H01L23/48; H01L23/52; H01L29/40

EC Classification: H01L21/56F, H01L23/498E, H01L23/498J

Equivalents: EP0948813 (WO9816953), JP10200006, WO9816953

Abstract

Chip module (20) with a chip carrier (21) and at least one chip (22), wherein the chip carrier is designed as a sheet with a carrier layer (23) of plastics material and a conductor path structure (24) with conductor paths (28), and the chip carrier is connected to the chip with interposition of a filling material (37), wherein the conductor paths are connected on their front to attachment faces (32) of the chip and, on their rear side (27), have external bonding regions (26) for forming a flatly distributed attachment face arrangement (34) for the connection of the chip module to an electronic component or a substrate (31), and the conductor paths (28) extend in a plane on the chip bonding side (35) of the carrier layer (23) facing the chip (22), the external bonding regions (26) are formed by recesses in the carrier layer (23) which extend toward the rear side (27) of the conductor paths (28) and the carrier layer (23) extends over the region of the attachment faces (30) of the chip.

Data supplied from the esp@cenet database - I2

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 197 02 014 A 1

⑮ Int. Cl. 6:
H 01 L 23/50
H 05 K 1/18
H 05 K 13/04
// H05K 3/32,3/34

⑯ Innere Priorität:
196 42 358. 9 14. 10. 96

⑰ Anmelder:
Fraunhofer-Gesellschaft zur Förderung der
angewandten Forschung e.V., 80636 München, DE

⑯ Vertreter:
Jaeger, Böck, Köster, Tappe, 97072 Würzburg

⑰ Erfinder:
Oppermann, Hans-Hermann, Dr., 12045 Berlin, DE;
Zakel, Elke, Dr., 14612 Falkensee, DE; Azdasht,
Ghassem, 14052 Berlin, DE; Kasulke, Paul, 10551
Berlin, DE

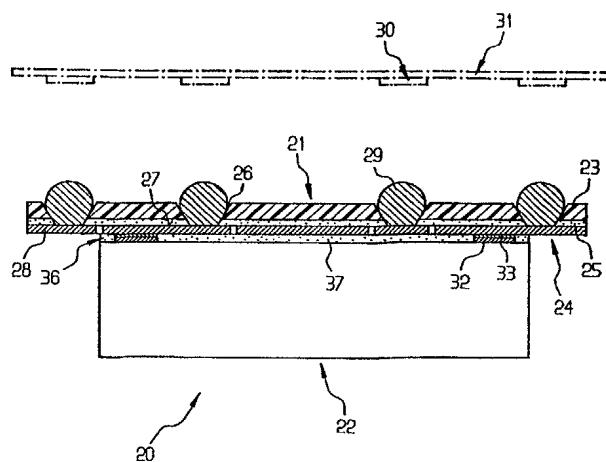
⑯ Entgegenhaltungen:
DE 1 95 07 547 A1
DE 1 95 00 655 A1
DE 40 10 644 A1
US 55 28 075
US 54 89 804
US 53 63 277
US 53 05 944
US 52 89 346
US 49 33 042
EP 07 04 898 A2
BEINE, H.: Ball Grid Arrays. In: Productronic
3-1995, S. 26, 28, 30, 32 und 33;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Chipmodul sowie Verfahren zur Herstellung eines Chipmoduls

⑯ Chipmodul (20) mit einem Chipträger (21) und mindestens einem Chip (22), wobei der Chipträger als Folie ausgebildet ist mit einer Trägerschicht (23) aus Kunststoff und einer Leiterbahnstruktur (24) mit Leiterbahnen (28), und der Chipträger unter zwischenliegender Anordnung eines Füllstoffs (37) mit dem Chip verbunden ist, wobei die Leiterbahnen auf ihrer Vorderseite mit Anschlußflächen (32) des Chips verbunden sind und auf ihrer Rückseite (27) Außenkontaktebereiche (26) zur Ausbildung einer flächig verteilten Anschlußflächenanordnung (34) zur Verbindung des Chipmoduls mit einem elektronischen Bauelement oder einem Substrat (31) aufweisen, und die Leiterbahnen (28) in einer Ebene auf der dem Chip (22) zugewandten Chipkontaktseite (35) der Trägerschicht (23) verlaufen, die Außenkontaktebereiche (26) durch Ausnehmungen in der Trägerschicht (23) gebildet sind, die sich gegen die Rückseite (27) der Leiterbahnen (28) erstrecken, und die Trägerschicht (23) sich über den Bereich der Anschlußflächen (30) des Chips erstreckt.



DE 197 02 014 A 1

1

Beschreibung

Die vorliegende Erfindung betrifft ein Chipmodul mit einem Chipträger und mindestens einem Chip, wobei der Chipträger als Folie ausgebildet ist mit einer Trägerschicht aus Kunststoff und einer Leiterbahnstruktur mit Leiterbahnen, und der Chipträger unter zwischenliegender Anordnung eines Füllstoffs mit dem Chip verbunden ist, wobei die Leiterbahnen auf ihrer Vorderseite mit Anschlußflächen des Chips verbunden sind und auf ihrer Rückseite Außenkontaktebereiche zur Ausbildung einer flächig verteilten Anschlußflächenanordnung zur Verbindung des Chipmoduls mit einem elektronischen Bauelement oder einem Substrat aufweisen. Des Weiteren betrifft die Erfindung ein Verfahren zur Herstellung eines derartigen Chipmoduls.

Chipmodule der vorgenannten Art dienen beispielsweise dazu, um ausgehend von der sehr dichten, peripheren Anschlußflächenanordnung eines Chips über den mit einer Leiterbahnstruktur versehenen Chipträger eine flächig verteilte, weniger dichte Anschlußflächenanordnung zur Verbindung des Chips mit einer Platine oder dergleichen in konventioneller SMT(Surface-Mounted-Technology)-Technik zu ermöglichen. Ein ausreichend großer Abstand zwischen den einzelnen Anschlußflächen der Anschlußflächenanordnung erweist sich insbesondere deswegen als wichtig, weil die äußere Anschlußflächenanordnung in der Regel in einem Umschmelz(Reflow)-Verfahren mit der Platine oder dergleichen verbunden wird. Bei zu geringem Abstand zwischen den einzelnen Anschlußflächen kann es zu Kurzschlußverbindungen zwischen einzelnen Lotbumps der Anschlußflächenanordnung kommen.

Aufgrund zunehmender Anforderungen an die Miniaturisierung der Chipmodule wurden in der Vergangenheit, ausgehend von sogenannten "BGA"(Ball-Grid-Array)-Anschlußflächenverteilungen, Chipmodule entwickelt, die als "CSP"(Chip-Size-Package oder auch Chip-Scale-Package) bezeichnet werden. Im Gegensatz zu den vorgenannten BGAs, bei denen die flächige Umverteilung der Chipanschlußflächen auf einer im Vergleich zur Chipoberfläche wesentlich größeren Oberfläche mittels entsprechend großer Chipträger erfolgt, steht bei den mit CSP bezeichneten Chipmodulen für den Chipträger nur eine Fläche zur Verfügung, die im wesentlichen mit der Oberfläche des Chips übereinstimmt. Daher erweist es sich bei den CSPs als wesentlich, die zur Verfügung stehende Fläche bestmöglich auszunutzen.

Bei bekannten CSPs, wie sie beispielsweise aus der US-PS 5,367,763 oder aus "Proceedings of the 1993 International Symposium on Microelectronics (ISHM), Dallas, Texas, pp. 318-323" bekannt sind, wird der Randbereich der für den Chipträger zur Verfügung stehenden, mit der Oberfläche deckungsgleichen Fläche für die Anschlußverbindungen zwischen den Anschlußflächen des Chips und der Leiterbahnstruktur des Chipträgers verbraucht, so daß der Chipträger sich nur in einem um den Randbereich vermindernden Innenflächenbereich erstreckt. Bei derart gebildeten Chipmodulen ist es daher notwendig, zur Erreichung einer vollständigen, auch die Anschlußflächen des Chips isolierend abdeckenden Gehäusung die Peripherie der Chipoberfläche in einem nachfolgenden Arbeitsschritt mit einer separaten Abdeckung, beispielsweise einem Verguß, zu versehen.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein Chipmodul bzw. ein Verfahren zur Herstellung eines Chipmoduls vorzuschlagen, das eine bessere Ausnutzung der zur Anordnung des Chipträgers zur Verfügung stehenden Chipoberfläche bei gleichzeitig möglichst einfacherem Aufbau des Chipmoduls ermöglicht.

Diese Aufgabe wird durch ein Chipmodul mit den Merk-

2

malen des Anspruchs 1 bzw. ein Verfahren mit den Merkmalen des Anspruchs 8 gelöst.

Bei dem erfindungsgemäßen Chipmodul verlaufen die Leiterbahnen in einer Ebene auf der dem Chip zugewandten Chipkontaktseite der Trägerschicht. Hierdurch steht die Trägerschicht selbst zur voneinander isolierten Anordnung der umverteilten Anschlußflächen zur Verfügung, so daß die Außenkontaktebereiche zur Ausbildung der flächig verteilten Anschlußflächenanordnung durch Ausnehmungen in der Trägerschicht gebildet werden können, die sich gegen die Rückseite der Leiterbahn erstrecken. Darüber hinaus erstreckt sich die Trägerschicht bei dem erfindungsgemäßen Chipmodul über den Bereich der Anschlußflächen des Chips, so daß die gesamte Chipoberfläche durch die Trägerschicht des Chipträgers abgedeckt wird. Insgesamt resultiert hieraus ein sehr einfacher Aufbau und eine entsprechend einfache Herstellungsmöglichkeit des Chipmoduls.

In einer ersten Ausführungsform des erfindungsgemäßen Chipmoduls ist die Trägerschicht des Chipträgers im Überdeckungsbereich mit den Anschlußflächen des Chips geschlossen ausgebildet, so daß selbst dieser Überdeckungsbereich im peripheren Bereich der Chipträgeroberfläche zur Anordnung von äußeren Anschlußflächen auf der Chipträgeroberfläche zur Verfügung steht.

In einer weiteren Ausführungsform des erfindungsgemäßen Chipmoduls weist der Chipträger eine Trägerschicht auf, die in einem Überdeckungsbereich mit den Anschlußflächen des Chips Öffnungen hat, welche sich gegen die Rückseite der Leiterbahnen erstrecken und zur Aufnahme von Leiterbahnen mit den zugeordneten Anschlußflächen elektrisch verbindendem Verbindungsmaßmaterial dienen.

Diese Ausführungsform des Chipmoduls ermöglicht eine Herstellung, bei der sowohl die Ausnehmungen in der Trägerschicht, die zur Aufnahme von Verbindungsmaßmaterial für die Kontaktierung des Chipmoduls mit einer Platine oder anderen Bauteilen vorgesehen sind, als auch die Öffnungen in der Trägerschicht in ein und demselben Verfahrensschritt mit Verbindungsmaßmaterial gefüllt werden können.

Die Ausführung des Chipmoduls gemäß Anspruch 4 ermöglicht eine gute Zugänglichkeit der Chipanschlußflächen für das Verbindungsmaßmaterial, so daß eine hohe Kontakt Sicherheit gewährleistet wird.

Für den Fall, daß eine Versiegelung bzw. mechanische Stabilisierung des Verbunds aus Chip und Chipträger allein aufgrund des zwischen dem Chip und dem Chipträger angeordneten Füllmaterials nicht ausreichend ist, kann zur Ergänzung längs der Peripherie des Chips verlaufend ein vorzugsweise aus dem Füllmaterial gebildeter Stützrahmen vorgesehen sein. Hierdurch wird in jedem Fall eine wirksame mechanische Stabilisierung des Chipmoduls erreicht, ohne daß hierzu die durch den Chip vorgegebenen Abmessungen des Chipmoduls wesentlich vergrößert werden müßten.

Alternativ zur vorgenannten Möglichkeit besteht jedoch auch die Möglichkeit, eine Versiegelung bzw. mechanische Stabilisierung des Chipmoduls durch einen Verguß des Chips vorzusehen, der die Seitenflächen des Chips mit einem die Chipoberfläche übergreifenden Überstand des Chipträgers verbindet. Diese Art der Versiegelung bzw. mechanischen Stabilisierung des Chipmoduls ist besonders dann vorteilhaft, wenn ein Chipmodul nach Art eines Chip-Size-Package geschaffen werden soll, bei der die Chipträgeroberfläche etwas größer als die Chipoberfläche ist, wodurch das Chipmodul einen Überstand des Chipträgers aufweist.

Für die Durchführung der Montage des Chipmoduls auf einem Substrat oder einer Platine in der bekannten SMT-Technik, bei der die auf der Chipträgeroberfläche angeordneten, beispielsweise mit Lotmaterial versehenen Außen-

kontaktbereiche mit entsprechend angeordneten Gegenkontakte auf dem Substrat oder der Platine verbunden werden, erweist es sich als vorteilhaft, wenn die Außenkontaktbereiche der Chipträgeroberfläche mit Lotmaterial versehen sind, dessen Schmelzpunkt niedriger ist als die zur thermischen Verbindung zwischen den Kontaktmetallisierungen des Chips und den Leiterbahnen des Chipträgers notwendige Temperatur. Hierdurch wird sichergestellt, daß es aufgrund der Temperaturbeaufschlagung des Chipmoduls zur Durchführung der Lötverbindung zwischen dem Chipträger und dem Substrat bzw. der Platine nicht zu einer Destabilisierung der Verbindungen zwischen den Kontaktmetallisierungen des Chips und den Leiterbahnen des Chipträgers kommen kann.

Als besonders vorteilhaft für die Herstellung von Chipmodulen erweist es sich, wenn die Chipmodule erfindungsgemäß in einem Modulverbund, der gebildet ist aus einem Chipträgerverbund mit einer Vielzahl zusammenhängend ausgebildeter Chipträger und einem Chipverbund, insbesondere einem Wafer mit einer Vielzahl zusammenhängend ausgebildeter Chipeinheiten oder Dies, zusammengefaßt sind.

Bei Durchführung des erfindungsgemäßen Verfahrens nach Anspruch 9 zur Herstellung erfindungsgemäßer Chipmodule erfolgt zunächst ein Auftragen eines fließfähigen Füllmaterials auf die Chipoberfläche oder die Chipkontakteite des Chipträgers. Dieses Füllmaterial dient einerseits zur abdichtenden Anordnung des Chipträgers auf dem Chip und andererseits zur mechanischen Stabilisierung des Chipträgers auf dem Chip. Das Füllmaterial kann auch Klebeigenschaften zur Ausbildung eines flächigen Verbunds zwischen dem Chip und dem Chipträger aufweisen. Durch ein aneinander Andücken des Chipträgers und des Chips erfolgt eine Verteilung des Füllmaterials im Spalt zwischen der Chipkontakteite des Chipträgers und der Chipoberfläche. Aufgrund der Kontaktierung der Leiterbahnen mit den zugeordneten Kontaktmetallisierungen des Chips durch eine rückwärtige Energiebeaufschlagung der Leiterbahnen unter Zwischenlage der Trägerschicht bleibt auch bei der Kontaktierung die Oberfläche der Trägerschicht des Chipträgers geschlossen, so daß eine Verdrängung des Füllmaterials nur zur Seite hin erfolgen kann. Damit ist sichergestellt, daß das Füllmaterial die gesamte Chipoberfläche bedeckt und somit nach Herstellung der Verbindung zwischen dem Chipträger und dem Chip keine zusätzlichen Maßnahmen zur Ergänzung von Füllmaterial notwendig sind. Vielmehr erfolgt bei dem erfindungsgemäßen Verfahren die Kontaktierung des Chipträgers auf dem Chip und die Stabilisierung des Chipmoduls durch Verteilung eines Füllmaterials im Spalt zwischen dem Chipträger und dem Chip in einem einzigen Arbeitsgang.

Anspruch 10 betrifft ein alternatives erfindungsgemäßes Verfahren, bei dem anstatt des Auftragens von Füllmaterial ein bereits mit einer Kleberschicht versehener Chipträger verwendet wird.

Darüber hinaus bleibt infolge der vorgenannten rückwärtigen Energiebeaufschlagung der Leiterbahnen zur Kontaktierung des Chipträgers auf dem Chip und der dadurch erhaltenen Geschlossenheit der Trägerschicht des Chipträgers auch im Peripheriebereich des Chips die Möglichkeit, Außenkontaktbereiche zur Ausbildung der flächig verteilten Anschlußflächenanordnung auf der Chipträgeroberfläche vorzusehen.

Eine Alternative zu dem vorstehend erörterten erfindungsgemäßes Verfahren zur Herstellung einzelner Chipmodule besteht in dem erfindungsgemäßes Verfahren nach Anspruch 11, das die Herstellung einzelner erfindungsgemäßer Chipmodule durch Vereinzelung aus einem Modulverbund

bund betrifft, in dem eine Vielzahl erfindungsgemäß ausgebildeter Chipmodule zusammenhängend ausgebildet sind. Hierzu erfolgt zunächst die Herstellung des Modulverbunds mit einem Chipträgerverbund und einem Chipverbund gemäß Anspruch 8 und anschließend die Herstellung einer Mehrzahl einzelner Chipmodule durch Vereinzelung von Einheiten aus zumindest einem Chip und einem damit kontaktierten Chipträger aus dem Modulverbund.

Dieses erfindungsgemäßes Verfahren ermöglicht demnach die Herstellung von Chipmodulen auf Waferebene, wodurch mit relativ wenigen Handhabungs- oder Fertigungsschritten nicht nur die Herstellung eines einzelnen, sondern vielmehr die gleichzeitige Herstellung einer Vielzahl von Chipmodulen möglich wird.

15 Als besonders vorteilhaft erweist es sich, wenn zur Herstellung des Modulverbunds die nachfolgende Reihenfolge von Verfahrensschritten gemäß Anspruch 12 eingehalten wird:

Zunächst erfolgt die Bereitstellung eines Wafers, der mit erhöhten Kontaktmetallisierungen, die fachsprachlich auch als sogenannte "Bumps" bezeichnet werden, versehen ist, und die Bereitstellung eines Chipträgerverbunds, der eine Vielzahl von auf einer gemeinsamen Trägerschicht angeordneten Leiterbahnstrukturen mit Leiterbahnen aufweist, wobei die Leiterbahnstrukturen einer jeweils definierten Anzahl von im Wafer zusammenhängend ausgebildeten Chips zugeordnet sind. Anschließend erfolgt der Auftrag eines fließfähigen Füllmaterials auf die Kontaktfläche des Wafers oder die Chipkontakteite des Chipträgerverbunds, wobei es sich bei diesem Füllmaterial beispielsweise um einen Epoxydkleber handeln kann. Der Auftrag des Füllmaterial auf den Wafer kann als flächenförmig begrenzter Auftrag im Zentrum des Wafers erfolgen, gefolgt von einer Verteilung des Füllmaterials auf der Waferoberfläche durch eine Rotation des Wafers um seine Mittelpunktsachse. Vor der flächigen Verbindung des Chipträgerverbunds mit dem Wafer, die beispielsweise durch einen Laminievorgang durchgeführt werden kann, erfolgt eine Relativpositionierung des Wafers und des Chipträgerverbunds, derart, daß sich eine Überdeckungslage zwischen den Kontaktmetallisierungen des Wafers und Kontaktbereichen der zugeordneten Leiterbahnen der Leiterbahnstrukturen einstellt. Schließlich erfolgt die flächige Verbindung zwischen dem Wafer und dem Chipträgerverbund, beispielsweise durch den vorstehend erwähnten

25 30 35 40 45 50 55 60 65 70 75 80 85 90 95 100 105 110 115 120 125 130 135 140 145 150 155 160 165 170 175 180 185 190 195 200 205 210 215 220 225 230 235 240 245 250 255 260 265 270 275 280 285 290 295 300 305 310 315 320 325 330 335 340 345 350 355 360 365 370 375 380 385 390 395 400 405 410 415 420 425 430 435 440 445 450 455 460 465 470 475 480 485 490 495 500 505 510 515 520 525 530 535 540 545 550 555 560 565 570 575 580 585 590 595 600 605 610 615 620 625 630 635 640 645 650 655 660 665 670 675 680 685 690 695 700 705 710 715 720 725 730 735 740 745 750 755 760 765 770 775 780 785 790 795 800 805 810 815 820 825 830 835 840 845 850 855 860 865 870 875 880 885 890 895 900 905 910 915 920 925 930 935 940 945 950 955 960 965 970 975 980 985 990 995 1000 1005 1010 1015 1020 1025 1030 1035 1040 1045 1050 1055 1060 1065 1070 1075 1080 1085 1090 1095 1100 1105 1110 1115 1120 1125 1130 1135 1140 1145 1150 1155 1160 1165 1170 1175 1180 1185 1190 1195 1200 1205 1210 1215 1220 1225 1230 1235 1240 1245 1250 1255 1260 1265 1270 1275 1280 1285 1290 1295 1300 1305 1310 1315 1320 1325 1330 1335 1340 1345 1350 1355 1360 1365 1370 1375 1380 1385 1390 1395 1400 1405 1410 1415 1420 1425 1430 1435 1440 1445 1450 1455 1460 1465 1470 1475 1480 1485 1490 1495 1500 1505 1510 1515 1520 1525 1530 1535 1540 1545 1550 1555 1560 1565 1570 1575 1580 1585 1590 1595 1600 1605 1610 1615 1620 1625 1630 1635 1640 1645 1650 1655 1660 1665 1670 1675 1680 1685 1690 1695 1700 1705 1710 1715 1720 1725 1730 1735 1740 1745 1750 1755 1760 1765 1770 1775 1780 1785 1790 1795 1800 1805 1810 1815 1820 1825 1830 1835 1840 1845 1850 1855 1860 1865 1870 1875 1880 1885 1890 1895 1900 1905 1910 1915 1920 1925 1930 1935 1940 1945 1950 1955 1960 1965 1970 1975 1980 1985 1990 1995 2000 2005 2010 2015 2020 2025 2030 2035 2040 2045 2050 2055 2060 2065 2070 2075 2080 2085 2090 2095 2100 2105 2110 2115 2120 2125 2130 2135 2140 2145 2150 2155 2160 2165 2170 2175 2180 2185 2190 2195 2200 2205 2210 2215 2220 2225 2230 2235 2240 2245 2250 2255 2260 2265 2270 2275 2280 2285 2290 2295 2300 2305 2310 2315 2320 2325 2330 2335 2340 2345 2350 2355 2360 2365 2370 2375 2380 2385 2390 2395 2400 2405 2410 2415 2420 2425 2430 2435 2440 2445 2450 2455 2460 2465 2470 2475 2480 2485 2490 2495 2500 2505 2510 2515 2520 2525 2530 2535 2540 2545 2550 2555 2560 2565 2570 2575 2580 2585 2590 2595 2600 2605 2610 2615 2620 2625 2630 2635 2640 2645 2650 2655 2660 2665 2670 2675 2680 2685 2690 2695 2700 2705 2710 2715 2720 2725 2730 2735 2740 2745 2750 2755 2760 2765 2770 2775 2780 2785 2790 2795 2800 2805 2810 2815 2820 2825 2830 2835 2840 2845 2850 2855 2860 2865 2870 2875 2880 2885 2890 2895 2900 2905 2910 2915 2920 2925 2930 2935 2940 2945 2950 2955 2960 2965 2970 2975 2980 2985 2990 2995 3000 3005 3010 3015 3020 3025 3030 3035 3040 3045 3050 3055 3060 3065 3070 3075 3080 3085 3090 3095 3100 3105 3110 3115 3120 3125 3130 3135 3140 3145 3150 3155 3160 3165 3170 3175 3180 3185 3190 3195 3200 3205 3210 3215 3220 3225 3230 3235 3240 3245 3250 3255 3260 3265 3270 3275 3280 3285 3290 3295 3300 3305 3310 3315 3320 3325 3330 3335 3340 3345 3350 3355 3360 3365 3370 3375 3380 3385 3390 3395 3400 3405 3410 3415 3420 3425 3430 3435 3440 3445 3450 3455 3460 3465 3470 3475 3480 3485 3490 3495 3500 3505 3510 3515 3520 3525 3530 3535 3540 3545 3550 3555 3560 3565 3570 3575 3580 3585 3590 3595 3600 3605 3610 3615 3620 3625 3630 3635 3640 3645 3650 3655 3660 3665 3670 3675 3680 3685 3690 3695 3700 3705 3710 3715 3720 3725 3730 3735 3740 3745 3750 3755 3760 3765 3770 3775 3780 3785 3790 3795 3800 3805 3810 3815 3820 3825 3830 3835 3840 3845 3850 3855 3860 3865 3870 3875 3880 3885 3890 3895 3900 3905 3910 3915 3920 3925 3930 3935 3940 3945 3950 3955 3960 3965 3970 3975 3980 3985 3990 3995 4000 4005 4010 4015 4020 4025 4030 4035 4040 4045 4050 4055 4060 4065 4070 4075 4080 4085 4090 4095 4100 4105 4110 4115 4120 4125 4130 4135 4140 4145 4150 4155 4160 4165 4170 4175 4180 4185 4190 4195 4200 4205 4210 4215 4220 4225 4230 4235 4240 4245 4250 4255 4260 4265 4270 4275 4280 4285 4290 4295 4300 4305 4310 4315 4320 4325 4330 4335 4340 4345 4350 4355 4360 4365 4370 4375 4380 4385 4390 4395 4400 4405 4410 4415 4420 4425 4430 4435 4440 4445 4450 4455 4460 4465 4470 4475 4480 4485 4490 4495 4500 4505 4510 4515 4520 4525 4530 4535 4540 4545 4550 4555 4560 4565 4570 4575 4580 4585 4590 4595 4600 4605 4610 4615 4620 4625 4630 4635 4640 4645 4650 4655 4660 4665 4670 4675 4680 4685 4690 4695 4700 4705 4710 4715 4720 4725 4730 4735 4740 4745 4750 4755 4760 4765 4770 4775 4780 4785 4790 4795 4800 4805 4810 4815 4820 4825 4830 4835 4840 4845 4850 4855 4860 4865 4870 4875 4880 4885 4890 4895 4900 4905 4910 4915 4920 4925 4930 4935 4940 4945 4950 4955 4960 4965 4970 4975 4980 4985 4990 4995 5000 5005 5010 5015 5020 5025 5030 5035 5040 5045 5050 5055 5060 5065 5070 5075 5080 5085 5090 5095 5100 5105 5110 5115 5120 5125 5130 5135 5140 5145 5150 5155 5160 5165 5170 5175 5180 5185 5190 5195 5200 5205 5210 5215 5220 5225 5230 5235 5240 5245 5250 5255 5260 5265 5270 5275 5280 5285 5290 5295 5300 5305 5310 5315 5320 5325 5330 5335 5340 5345 5350 5355 5360 5365 5370 5375 5380 5385 5390 5395 5400 5405 5410 5415 5420 5425 5430 5435 5440 5445 5450 5455 5460 5465 5470 5475 5480 5485 5490 5495 5500 5505 5510 5515 5520 5525 5530 5535 5540 5545 5550 5555 5560 5565 5570 5575 5580 5585 5590 5595 5600 5605 5610 5615 5620 5625 5630 5635 5640 5645 5650 5655 5660 5665 5670 5675 5680 5685 5690 5695 5700 5705 5710 5715 5720 5725 5730 5735 5740 5745 5750 5755 5760 5765 5770 5775 5780 5785 5790 5795 5800 5805 5810 5815 5820 5825 5830 5835 5840 5845 5850 5855 5860 5865 5870 5875 5880 5885 5890 5895 5900 5905 5910 5915 5920 5925 5930 5935 5940 5945 5950 5955 5960 5965 5970 5975 5980 5985 5990 5995 6000 6005 6010 6015 6020 6025 6030 6035 6040 6045 6050 6055 6060 6065 6070 6075 6080 6085 6090 6095 6100 6105 6110 6115 6120 6125 6130 6135 6140 6145 6150 6155 6160 6165 6170 6175 6180 6185 6190 6195 6200 6205 6210 6215 6220 6225 6230 6235 6240 6245 6250 6255 6260 6265 6270 6275 6280 6285 6290 6295 6300 6305 6310 6315 6320 6325 6330 6335 6340 6345 6350 6355 6360 6365 6370 6375 6380 6385 6390 6395 6400 6405 6410 6415 6420 6425 6430 6435 6440 6445 6450 6455 6460 6465 6470 6475 6480 6485 6490 6495 6500 6505 6510 6515 6520 6525 6530 6535 6540 6545 6550 6555 6560 6565 6570 6575 6580 6585 6590 6595 6600 6605 6610 6615 6620 6625 6630 6635 6640 6645 6650 6655 6660 6665 6670 6675 6680 6685 6690 6695 6700 6705 6710 6715 6720 6725 6730 6735 6740 6745 6750 6755 6760 6765 6770 6775 6780 6785 6790 6795 6800 6805 6810 6815 6820 6825 6830 6835 6840 6845 6850 6855 6860 6865 6870 6875 6880 6885 6890 6895 6900 6905 6910 6915 6920 6925 6930 6935 6940 6945 6950 6955 6960 6965 6970 6975 6980 6985 6990 6995 7000 7005 7010 7015 7020 7025 7030 7035 7040 7045 7050 7055 7060 7065 7070 7075 7080 7085 7090 7095 7100 7105 7110 7115 7120 7125 7130 7135 7140 7145 7150 7155 7160 7165 7170 7175 7180 7185 7190 7195 7200 7205 7210 7215 7220 7225 7230 7235 7240 7245 7250 7255 7260 7265 7270 7275 7280 7285 7290 7295 7300 7305 7310 7315 7320 7325 7330 7335 7340 7345 7350 7355 7360 7365 7370 7375 7380 7385 7390 7395 7400 7405 7410 7415 7420 7425 7430 7435 7440 7445 7450 7455 7460 7465 7470 7475 7480 7485 7490 7495 7500 7505 7510 7515 7520 7525 7530 7535 7540 7545 7550 7555 7560 7565 7570 7575 7580 7585 7590 7595 7600 7605 7610 7615 7620 7625 7630 7635 7640 7645 7650 7655 7660 7665 7670 7675 7680 7685 7690 7695 7700 7705 7710 7715 7720 7725 7730 7735 7740 7745 7750 7755 7760 7765 7770 7775 7780 7785 7790 7795 7800 7805 7810 7815 7820 7825 7830 7835 7840 7845 7850 7855 7860 7865 7870 7875 7880 7885 7890 7895 7900 7905 7910 7915 7920 7925 7930 7935 7940 7945 7950 7955 7960 7965 7970 7975 7980 7985 7990 7995 8000 8005 8010 8015 8020 8025 8030 8035 8040 8045 8050 8055 8060 8065 8070 8075 8080 8085 8090 8095 8100 8105 8110 8115 8120 8125 8130 8135 8140 8145 8150 8155 8160 8165 8170 8175 8180 8185 8190 8195 8200 8205 8210 8215 8220 8225 8230 8235 8240 8245 8250 8255 8260 8265 8270 8275 8280 8285 8290 8295 8300 8305 8310 8315 8320 8325 8330 8335 8340 8345 8350 8355 8360 8365 8370 8375 8380 8385 8390 8395 8400 8405 8410 8415 8420 8425 8430 8435 8440 8445 8450 8455 8460 8465 8470 8475 8480 8485 8490 8495 8500 8505 8510 8515 8520 8525 8530 8535 8540 8545 8550 8555 8560 8565 8570 8575 8580 8585 8590 8595 8600 8605 8610 8615 8620 8625 8630 8635 8640 8645 8650 8655 8660 8665 8670 8675 8680 8685 8690 8695 8700 8705 8710 8715 8720 8725 8730 8735 8740 8745 8750 8755 8760 8765 8770 8775 8780 8785 8790 8795 8800 8805 8810 8815 8820 8825 8830 8835 8840 8845 8850 8855 8860 8865 8870 8875 8880 8885 8890 8895 8900 8905 8910 8915 8920 8925 8930 8935 8940 8945 8950 8955 8960 8965 8970 8975 8980 8985 8990 8995 9000 9005 9010 9015 9020 9025 9030 9035 9040 9045 9050 9055 9060 9065 9070 9075 9080 9085 9090 9095 9100 9105 9110 9115 9120 9125 9130 9135 9140 9145 9150 9155 9160 9165 9170 9175 9180 9185 9190 9195 9200 9205 9210 9215 9220 9225 9230 9235 9240 9245 9250 9255 9260 9265 9270 9275 9280 9285 9290 9295 9300 9305 9310 9315 9320 9325 9330 9335 9340 9345 9350 9355 9360 9365 9370 9375 9380 9385 9390 9395 9400 9405 9410 9415 9420 9425 9430 9435 9440 9445 9450 9455 9460 9465 9470 9475 9480 9485 9490 9495 9500 9505 9510 9515 9520 9525 9530 9535 9540 9545 9550 9555 9560 9565 9570 9575 9

greifen. Derartige Positionierungsstifte können als "Dummy bumps" ausgebildet sein, die, ohne an der elektrischen Verbindung zwischen dem Wafer und dem Chipträgerverbund beteiligt zu sein, lediglich zur Erzielung und mechanischen Stabilisierung der Relativpositionierung in Eingriff mit der Trägerschicht des Chipträgerverbunds gelangen. Um nicht nur eine Starrkörperorientierung zwischen dem Wafer und dem Chipträgerverbund zu definieren, kann es sich als zweckmäßig erweisen, mehr als zwei Positionierungsstifte und eine entsprechende Anzahl von Positionierungsöffnungen vorzusehen, so daß Dehnungsbegrenzungen für beispielweise thermisch bedingte Dehnungen in der Trägerschicht geschaffen werden.

Eine Alternative bezüglich einer vorteilhaften Vorgehensweise zur Herstellung eines Modulverbunds ist durch die folgenden Verfahrensschritte definiert:

Zunächst erfolgt wieder die Bereitstellung eines Wafers und eines Chipträgerverbunds mit einer Vielzahl von auf einer gemeinsamen Trägerschicht angeordneten Leiterbahnstrukturen mit Leiterbahnen, wobei bei dieser Verfahrensvariante ein Chipträgerverbund mit einer Trägerschicht verwendet wird, die Öffnungen aufweist, welche die Rückseite des Chipkontaktebereichs der Leiterbahnen und gegebenenfalls daran angrenzende Umgebungsbereiche freigeben. Anschließend erfolgt der Auftrag eines fließfähigen Füllmaterials, das, wie bei der vorstehend geschilderten Verfahrensvariante als ein Epoxid-Kleber ausgebildet sein kann, auf die Kontaktobерfläche des Wafers oder die Chipkontakteite des Chipträgerverbunds, derart, daß die Anschlußflächen des Wafers oder hierauf aufgebrachte Kontaktmetallisierungen bzw. die Öffnungen der Trägerschicht freibleiben. Hierauf erfolgt die Relativpositionierung des Wafers und des Chipträgerverbunds, derart, daß sich eine Überdeckungslage zwischen den Anschlußflächen des Wafers bzw. darauf aufgebauten Kontaktmetallisierungen und den Öffnungen in der Trägerschicht des Chipträgerverbunds einstellt. Anschließend erfolgt eine flächige Verbindung zwischen dem Wafer und dem Chipträgerverbund und eine Kontaktierung der Anschlußflächen des Wafers bzw. der darauf angeordneten Kontaktmetallisierungen mit den Chipkontaktebereichen der zugeordneten Leiterbahnen durch Einbringung von Verbindungsmaierial in die Öffnungen der Trägerschicht des Chipträgerverbunds.

Die vorstehend erörterte Verfahrensvariante ermöglicht die Herstellung von eingangs erörterten erfundsgemäßen Chipmodulen, bei denen sowohl die Verbindungsmaierialdepots in den Ausnehmungen der Trägerschicht, die zur Kontaktierung des Chipmoduls mit anderen Bauteilen dienen, als auch das Verbindungsmaierial in den Öffnungen in der Trägerschicht zur Ermöglichung einer Kontaktierung zwischen den Leiterbahnen der Leiterbahnstruktur und den Chipanschlußflächen in einem Arbeitsgang eingebracht werden können.

Eine weitere Alternative ist durch ein Verfahren gemäß Anspruch 17 gegeben.

Die Kontaktierung kann durch Abscheidung von Verbindungsmaierial in den Öffnungen der Trägerschicht erfolgen, wobei sich in Versuchen besonders eine stromlose, also autokatalytische Abscheidung von Verbindungsmaierial durch Einbringung des Modulverbunds in ein entsprechendes Materialbad als vorteilhaft erwiesen hat. Bei diesem Materialbad kann es sich beispielweise um ein Nickel-, Kupfer oder Palladiumbad handeln.

Die Kontaktierung kann auch durch Einbringung von Lotmaierial oder leitfähigem Kleber in die Öffnungen der Trägerschicht erfolgen, wobei hier alle bekannten Techniken zur Einbringung von Lotmaierial, also beispielweise eine Schablonenbelötung oder auch eine Einbringung von

stückigem Lotmaierial, eingesetzt werden können.

Gleichzeitig mit der Einbringung des Verbindungsmaierials in die Kontaktöffnungen der Trägerschicht kann eine Einbringung des Verbindungsmaierials in die Ausnehmungen der Trägerschicht erfolgen.

Unabhängig von der Art und Weise der Herstellung des Modulverbunds erweist es sich als vorteilhaft, wenn der Wafer auf seiner Rückseite mit einer Deckschicht versehen ist, die als Oberflächenschutz und auch zur Erzielung einer mechanischen Stützwirkung eingesetzt werden kann. Zusammen mit der Trägerschicht des Chipträgerverbunds ergibt sich somit nach Vereinzelung der Chipmodule aus dem Modulverbund ein gekapseltes Chipmodul.

Zur Erzeugung dieser Deckschicht hat sich ein Auftrag von Epoxid-Material auf die Rückseite des Wafers als geeignet erwiesen. Eine weitere Möglichkeit besteht darin, zur Ausbildung der Deckschicht eine Folie auf die Rückseite des Wafers aufzubringen. Die Folie kann mit einer Beschriftung, beispielweise zur Kennzeichnung einzelner Chips des Wafers, versehen sein.

Unabhängig von der Art und Weise der Herstellung des Modulverbunds erfolgt nach dessen Fertigstellung eine Vereinzelung von Chipmodulen aus dem Modulverbund durch Trennung aneinander angrenzender Chipmodule längs defi- nieter Trennlinien. In diesem Zusammenhang erweist es sich als besonders vorteilhaft, wenn hierzu das ohnehin zur Vereinzelung von Chips aus einem Waferverbund eingesetzte Sägeverfahren durchgeführt wird.

Vor der Vereinzelung der Chipmodule aus dem Modulverbund kann eine hinsichtlich des Aufwands und der damit verbundenen Kosten besonders günstige elektrische Überprüfung der noch im Waferverbund angeordneten Chips über die Leiterbahnstrukturen des Chipträgerverbunds erfolgen.

Eine besonders gleichmäßige Form des Andrückens zur Herstellung der Verbindung zwischen dem Chipträger bzw. dem Chipträgerverbund und dem Chip bzw. dem Wafer wird erreicht, wenn das aneinander Andrücken der Chipträger bzw. des Chipträgerverbunds und der Chipoberfläche bzw. der Waferoberfläche mittels Vakuum erfolgt. Bei gentigend steif ausgebildeter Folie oder auch durch Aufbringen einer Zugspannung in Folienlängsrichtung gegen Durchbiegung stabilisierter Folie kann es auch ausreichend sein, das Andrücken des Chipträgers allein durch die zur Energiebeaufschlagung des Chipträgers bzw. des Chipträgerverbunds verwendete Verbindungseinrichtung auszuführen. In diesem Fall dient der zur Verbindung der Leiterbahnen mit den Chipanschlußflächen erforderliche Anpressdruck gleichzeitig zum Andrücken des Chipträgers bzw. des Chipträgerverbunds gegen die Chipoberfläche bzw. die Waferoberfläche.

Zur Erzeugung von Lotbumps auf dem Chipträger bzw. dem Chipträgerverbund, die zur Verbindung des Chipmoduls mit einem Substrat, einer Platine oder dergleichen dienen, können die Außenkontaktbereiche des Chipträgers bzw. des Chipträgerverbunds in einem Schablonenauftragsverfahren mit Lotmaierial versehen werden, wobei die Trägerschicht selbst in einem nachfolgenden Umschmelzverfahren als Lötstopmaske dient. Hierdurch wird die Erzeugung der Lotbumps auf besonders einfache Art und Weise möglich.

Eine weitere Möglichkeit besteht darin, die Außenkontaktbereiche in einem Bestückungsverfahren mit Lotmaierialformstücken zu versehen, wobei in diesem Fall die durch die Ausnehmungen in der Trägerschicht gebildeten Außenkontaktbereiche als positionierende Aufnahmen für das Lotmaierial dienen.

Zur Verbindung zwischen den Kontaktmetallisierungen des Chips bzw. des Wafers und den Leiterbahnen des Chip-

trägers bzw. des Chiprägerverbunds können unterschiedliche Verfahren eingesetzt werden, deren gemeinsames Merkmal darin besteht, daß bei einer rückwärtigen Energiebeaufschlagung der Leiterbahnen unter Zwischenlage der Trägerschicht die Trägerschicht im wesentlichen unversehrt und geschlossen bleibt. Als besonders geeignete Verfahren erscheinen in diesem Zusammenhang Lötverfahren und Thermokompressionsverfahren, die mittels einer rückwärtigen Energiebeaufschlagung der Leiterbahnen mit Laserstrahlung durchgeführt werden, wobei die Laserstrahlung durch eine rückwärts unter Druck an der Trägerschicht anliegende Lichtleitfaser eingeleitet wird. Eine weitere Möglichkeit besteht darin, ein Ultraschallverfahren einzusetzen, bei dem ein Ultraschallstempel rückwärts auf die Trägerschicht aufgesetzt wird und durch die im Bereich der Verbindungsstelle komprimierte Trägerschicht Ultraschallschwingungen in die Verbindungsstelle zwischen der betreffenden Leiterbahn und der Chipanschlüsse einbringt.

Nachfolgend wird ein Ausführungsbeispiel des erfundungsgemäßen Chipmoduls sowie ein mögliches Verfahren zur Herstellung eines derartigen Chipmoduls unter Bezugnahme auf die Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Ausführungsbeispiel eines Chipmoduls mit einem auf einem Chip kontaktierten Chipräger;

Fig. 2 bis 6 den Aufbau eines Chiprägers;

Fig. 7 den Chipräger und den Chip unmittelbar vor Herstellung des Chipmoduls;

Fig. 8 den Chipräger und den Chip während der Herstellung der Verbindung zwischen dem Chipräger und dem Chip;

Fig. 9 die Herstellung eines längs der Peripherie des Chips verlaufenden Dicht- bzw. Stützrahmens;

Fig. 10 einen den Chip einschließenden Verguß;

Fig. 11 die nachträgliche Applikation von Lotmaterial auf dem Chipräger;

Fig. 12 bis 14 mehrere Beispiele für flächig verteilte Anschlußflächenanordnungen auf dem Chipräger verschiedener Chipmodule;

Fig. 15 einen Modulverbund aus einem Wafer und einem darauf angeordneten Chiprägerverbund in Draufsicht;

Fig. 16 eine vergrößerte Einzeldarstellung eines Chiprägers aus dem in **Fig. 15** dargestellten Chiprägerverbund;

Fig. 17 eine Einzeldarstellung eines Verbindungsbaus zwischen einer Außenanschlüssefläche eines Chiprägers und einer Chipanschlüssefläche eines Chips in Draufsicht;

Fig. 18 den in **Fig. 17** dargestellten Verbindungsbaus in einer Seitenansicht vor der Applikation von Verbindungsmaterial;

Fig. 19 eine in der Ansicht **Fig. 18** entsprechende Darstellung des Verbindungsbaus nach der Applikation von Verbindungsmaterial;

Fig. 20 eine Schnittansicht der Verbindung zwischen einer Leiterbahn des Chiprägers und der Chipanschlüssefläche gemäß dem Schnittlinienverlauf XX-XX in **Fig. 19**.

Fig. 1 zeigt ein Chipmodul **20** mit einem Chipräger **21**, der auf einem Chip **22** kontaktiert ist. Das in **Fig. 1** dargestellte Chipmodul **20** wird auch als Chip-Size-Package (CSP) bezeichnet, da die wesentlichen Abmessungen des Chipmoduls **20** durch den Chip **22** bestimmt sind. Als Definitionsgröße für ein CSP gilt in der Fachwelt allgemein ein Verhältnis von 0,8 bis 1,2 zwischen der Chipoberfläche und der Oberfläche des Chiprägers.

Bei dem in **Fig. 1** dargestellten Chipmodul **20** wird ein Chipräger **21** aus einer dreilagigen Folie verwendet mit einer Trägerschicht **23** aus Polyimid und einer als Leiterbahnstruktur **24** ausgebildeten Kontaktsschicht aus Kupfer, die hier über eine Kleberschicht **25** mit der Trägerschicht **23** verbunden ist. Die Trägerschicht **23** ist mit Ausnehmungen

26 versehen, die sich von der Oberfläche der Trägerschicht **23** bis zu einer Rückseite **27** von die Leiterbahnstruktur **24** bildenden einzelnen Leiterbahnen **28** erstreckt. Diese Ausnehmungen **26** bilden Außenkontaktebereiche, die mit Lotmaterialdepots **29** zur Kontaktierung mit Anschlußflächen **30** eines in **Fig. 1** mit strichpunktierter Linienverlauf angezeigtem Substrats **31** dienen.

Fig. I zeigt beispielhaft zwei von einer Vielzahl peripher auf der Chipoberfläche angeordneten Chipanschlüsse **32**, die mit Kontaktmetallisierungen **33** versehen sind. Die Kontaktmetallisierungen sind mit jeweils zugeordneten Leiterbahnen **28** kontaktiert, so daß durch die Leiterbahnen **28** eine "Umverdrahtung" der peripher auf der Chipoberfläche angeordneten Chipanschlüsse **32** in eine flächig verteilte, hinsichtlich des Abstandes zwischen den einzelnen Anschlußflächen aufgeweitete Anschlußflächenanordnung **34** auf der Oberfläche des Chiprägers **21** erfolgt. Zur Abdichtenden Verbindung des Chiprägers **21** mit dem Chip **22** und zur mechanischen Stabilisierung des als flexible Folie ausgebildeten Chiprägers **21** ist in einem zwischen einer Chipkontaktseite **35** und der Chipoberfläche ausgebildeten Spalt **36** ein Füllmaterial **37** mit Haft- oder Klebewirkung vorgesehen, das fachsprachlich auch als "Underfiller" bezeichnet wird.

In den **Fig. 2** bis **6** ist in chronologischer Abfolge die Herstellung des in **Fig. 1** zur Erzeugung der Chipräger-Anordnung **20** verwendeten Chiprägers **21** erläutert. Wie **Fig. 2** zeigt, ist Basis bei der Herstellung des Chiprägers **21** eine dreilagige Folie **38** mit einer die Trägerschicht **23** mit der Leiterbahnstruktur **24** verbindenden Kleberschicht **25**. In einer vereinfachten Ausführung ist es jedoch auch möglich, eine mit dem Chipräger **21** vergleichbare Ausführung eines Chiprägers, ausgehend von einer Folie, zu schaffen, bei der die Leiterbahnstruktur unmittelbar auf der Trägerschicht, also ohne zwischenliegende Anordnung einer Kleberschicht, angeordnet ist.

Die Folie **38**, die als Endlosfolie ausgebildet sein kann, weist in jedem Fall die in der Trägerschicht **23** vorgesehene, bis zur Rückseite **27** der Leiterbahnen **28** reichenden Ausnehmungen **26** auf, wobei die Ausnehmungen beispielsweise durch geeignete Ätzverfahren oder auch durch Laserablation erzeugt werden können.

Für den Fall, daß in den Ausnehmungen **26** mittels eines Schabloneauftragsverfahrens Lotmaterial **42** zur Erzeugung der Lotmaterialdepots **29** (**Fig. 1** und **6**) eingebracht werden soll, kann, wie in **Fig. 3** dargestellt, eine Schablone **39** auf die Trägerschicht **23** aufgelegt werden, und zwar so, daß in der Schablone **39** vorgesehene Schablonenöffnungen **40** deckungsgleich mit den Ausnehmungen **26** in der Trägerschicht **23** zu liegen kommen.

In die aus dem übereinanderliegenden angeordneten Ausnehmungen **26** und Schablonenöffnungen **40** gebildeten Lotmaterialaufnahmen **41** wird nach flächigem Auftrag des Lotmaterials **42** auf die Oberfläche der Schablone **39** durch einen hier nicht näher dargestellten Rakel oder dergleichen eine Befüllung der Lotmaterialaufnahmen **41** mit Lotmaterial **42** in der in **Fig. 4** dargestellten Art und Weise erzielt.

Wie in **Fig. 5** dargestellt, verbleiben nach Abnahme der Schablone **39** von der Trägerschicht **23** beispielsweise aus pastösem Lotmaterial gebildete Lotmaterialmengen **68** in den Ausnehmungen **26**. Durch ein nachfolgendes Umschmelzverfahren werden dann die in **Fig. 6** dargestellten meniskusartig geformten Lotmaterialdepots **29** erzeugt, wobei die Trägerschicht **23** während des Umschmelzens als Lötstopmaske dient.

Fig. 7 zeigt, wie ausgehend von dem entsprechend den Erläuterungen zu den **Fig. 2** bis **6** erzeugten Chipräger **21** das in **Fig. 1** dargestellte Chipmodul **20** gebildet wird.

Hierzu erfolgt ein Auftrag einer definierten Füllmaterialmenge **43** auf die Chipoberfläche und eine dem gewählten Verfahren zur Verbindung der Kontaktmetallisierungen **33** des Chips mit den Leiterbahnen **28** des Chipträgers **21** entsprechende Präparierung der im Ausgangszustand aus Aluminium bestehenden Chipanschlusßflächen **32**. Im vorliegenden Fall sind die Chipanschlusßflächen **32** mit als Nickelbumps ausgebildeten Kontaktmetallisierungen **33** mit einem Lotüberzug **44** aus einer Gold/Zinn-Legierung versehen, um die Kontaktierung der Leiterbahnen **28** des Chipträgers **21** mit den Kontaktmetallisierungen **33** des Chips **22** in einem nachfolgend unter Bezugnahme auf Fig. 8 noch näher erläuterten Lötverfahren durchführen zu können.

Dabei kann der Gold/Zinn-Lotüberzug **44** durch einfaches Eintauchen der Kontaktmetallisierungen **33** in eine entsprechend flüssig ausgebildete Legierung aufgebracht werden.

Zur Herstellung des Chipmoduls **20** (Fig. 1), also des festen mechanischen Verbunds zwischen dem Chipträger **21** und dem Chip **22**, wird nun der Chipträger **21** gegen die Oberfläche des Chips **22** gedrückt, so daß die auf die Chipoberfläche aufgebrachte Füllmaterialmenge **43** bei Ausbildung des Spaltes **36** zwischen der Chipkontaktseite **35** des Chipträgers **21** und der Chipoberfläche nach außen zur Peripherie des Chips **22** verdrängt wird und sich gleichmäßig auf der Chipoberfläche bis hin zu Außenrändern **45** des Chips **22** verteilt.

Fig. 8 zeigt, daß dieses Andrücken des Chipträgers **21**, der sich in der Darstellung gemäß Fig. 8 noch im endlosen Folienverbund befindet, mittels einer Vakuumeinrichtung **46** ausgeführt werden kann, bei der der Chip **22** in einer Chipaufnahme **47** fixiert ist und der Chipträger **21** über einen die Chipaufnahme **47** umgebenden Ringkanal **48** durch Vakuumwirkung (Pfeil **50**) gegen die Chipoberfläche gesogen wird. Dabei ist in Fig. 8 deutlich zu erkennen, daß aufgrund des Kapillareffekts im Spalt **36** zwischen dem Chipträger **21** und dem Chip **22** eine Verteilung des Füllmaterials **37** über die Außenränder **45** des Chips **22** hinaus erfolgt, so daß sich im Bereich eines möglichen Überstands **49** des Chipträgers **21** über die Oberfläche des Chips **22** eine zusätzlich abstützende Wirkung ergibt.

Wie ebenfalls in Fig. 8 dargestellt, kann zur Fixierung des Chips **22** in der Chipaufnahme **47** ebenfalls, wie durch den Pfeil **50** angedeutet, Vakuumwirkung eingesetzt werden. Um zu verhindern, daß es aufgrund des Austritts von Füllmaterial **37** aus dem Spalt **36** im Bereich des Überstands **49** zu Verklebungen mit der Innenwand der Chipaufnahme **47** kommt, ist die Innenwand der Chipaufnahme **47** mit einer Antihafbeschichtung **51** versehen.

Wie aus Fig. 8 ferner zu ersehen ist, wird zur Verbindung der Leiterbahnen **28** des Chipträgers **21** mit den Kontaktmetallisierungen **33** des Chips **22** die Trägerschicht **23** des Chipträgers **21** über eine Lichtleitfaser **52** unter gleichzeitiger Aufbringung eines Anpreßdrucks mit Laserstrahlung **53** beaufschlagt. Die Laserstrahlung **53** durchdringt das optisch durchlässige Polyimid der Trägerschicht **23** oder einen anderen für Laserstrahlung optisch durchlässigen, als Trägerschicht verwendeten Kunststoff und wird im Bereich der Leiterbahn **28** absorbiert, so daß im Bereich der Verbindungsstelle zwischen der Leiterbahn **28** und der zugeordneten Kontaktmetallisierung **33** die für die thermische Verbindung notwendige Temperatur induziert wird. Dabei wird durch den mit der Lichtleitfaser **52** auf die Trägerschicht **23** aufgebrachten Anpreßdruck möglicherweise zwischen der Leiterbahn **28** und der Kontaktmetallisierung **33** bzw. dem auf die Kontaktmetallisierung **33** aufgebrachten Lotüberzug **24** angeordnetes Füllmaterial **37** verdrängt, so daß die Verbindung nicht durch Füllmaterial **37** beeinträchtigt werden

kann.

Falls es zur Erzielung einer planen Oberfläche des auf den Chip **22** applizierten Chipträgers **21** notwendig sein sollte, kann noch ein in Fig. 8 nicht näher dargestelltes zentrales Stempelwerkzeug zur Erzeugung einer ebenen Anlage des Chipträgers **21** eingesetzt werden.

Neben der vorstehend geschilderten Verbindung der Leiterbahnen **28** des Chipträgers **21** mit den Kontaktmetallisierungen **33** des Chips **22** im Lötverfahren ist es auch möglich, das in Fig. 8 dargestellten Verbindungsmittel, also die durch Laserenergie beaufschlagte Lichtleitfaser **52**, zur Ausführung einer Thermokompressionsverbindung zu verwenden, zu deren Vorbereitung die als Nickelbumps ausgeföhrten Kontaktmetallisierungen **33** nicht mit dem Lotüberzug **44**, sondern mit einem dünnen Goldüberzug versehen werden.

Eine weitere Möglichkeit zur Herstellung der Verbindung zwischen den Leiterbahnen **28** des Chipträgers **21** und den Kontaktmetallisierungen **33** bzw. unmittelbar mit den unpräparierten Aluminiumanschlusßflächen **32** des Chips **22** besteht darin, anstatt der in Fig. 8 dargestellten Lichtleitfaser **52** einen Ultraschalldorn zu verwenden, der mit Ultraschall beaufschlagt wird und die Ultraschallschwingungen über einen verdichten Bereich der Trägerschicht **23** auf den Verbindungsbereich zwischen den Leiterbahnen **28** und den jeweils zugeordneten Chipanschlusßflächen **32** überträgt.

Die Fig. 9 und 10 zeigen Möglichkeiten einer neben der Anordnung des Füllmaterials **37** im Spalt **36** zwischen dem Chipträger **21** und dem Chip **22** (Underfilling) zusätzlichen mechanischen Stabilisierung des Chipmoduls. Wie Fig. 9 zeigt, kann hierzu im peripheren Bereich längs des Umfangsrands des Chips **22** im Übergang zum Chipträger **21** zusätzliches Füllmaterial **37** zur Ausbildung eines umlaufenden Stabilisierungsrahmens aufgebracht werden.

Fig. 10 zeigt ein als "Molding" bekanntes Verfahren, bei dem der Chip mittels einer Kunststoffmasse **55** umkapselt wird.

Sowohl die Kunststoffmasse **55** als auch das gemäß Fig. 9 zusätzlich applizierte Füllmaterial **37** sorgen im Bereich des Überstands **49** des Chipträgers **21** über die Oberfläche des Chips **22** für eine stabilisierende Abstützung. Da sich bei den in den Fig. 9 und 10 dargestellten Verfahren zur zusätzlichen Stabilisierung der Chipträger-Anordnung, bei denen die Chipträger-Folie **38** auf einer ebenen Fläche durch eine Vakuumeinrichtung **56** gehalten wird, vorstehende Lotmaterialdepots **29**, wie in Fig. 1 dargestellt, als störend erweisen würden, werden in diesen Fällen die Lotmaterialdepots **29** erst nachträglich erzeugt. Hierzu können, wie in Fig. 11 dargestellt, Lotmaterialformstücke **57** vor oder nach Heraustrennen der mit dem Chip **22** verbundenen Chipträger **21** aus der Chipträger-Folie **38** in die Ausnehmungen **26** plaziert und anschließend zur Ausbildung der Lotmaterialdepots **29** umgeschmolzen werden. Bei dem in Fig. 11 dargestellten Ausführungsbeispiel sind die Lotmaterialformstücke **57** kugelförmig ausgebildet und werden durch eine Lotkugelplaziereinrichtung **58** in die Ausnehmungen **26** plaziert.

In den Fig. 12, 13 und 14 sind unterschiedlich ausgebildete Chipmodule **59**, **60** und **61** beispielhaft dargestellt. Das entspricht die gewählte Ansicht in etwa einem Schnittverlauf zwischen der Trägerschicht **23** und jeweils einer der Leiterbahnen **28** aufweisenden Kontaktsschicht **69**, **70**, **71**. Fig. 12 zeigt das Chipmodul **59** mit einer sogenannten "zweireihigen Fan-Out"-Konfiguration, bei der ausgehend von der peripheren, einreihigen Anordnung der Kontaktmetallisierungen **33** des Chips **22** über die Kontaktsschicht **69** eine flächige Umverteilung in einem Chipträger **62** erfolgt, bei der außerhalb der Chipperipherie zwei Reihen **63**, **64** von Außenkontaktebereichen **26** angeordnet sind.

Fig. 13 zeigt eine übereinstimmende Konfiguration, wo-

bei hier ein Chipträger 65 verwendet wird, bei dessen Kontaktsschicht 70 nicht nur die Leiterbahnen 28 aus Kupfer, sondern vielmehr die gesamte Kontaktsschicht 70 aus Kupfer besteht, wobei die Leiterbahn 28 durch Ätzfugen vom übrigen Kupfermaterial getrennt ist. Der in Fig. 13 beispielhaft dargestellte Chipträger 65 zeichnet sich daher durch eine besonders hohe Steifigkeit aus.

Fig. 14 zeigt schließlich einen Chipträger 66 mit einer sogenannten einreihigen "Fan-Out"-Konfiguration, bei der lediglich eine Reihe 67 von Außenkontaktbereichen 26 außerhalb der Chipperipherie angeordnet ist und alle übrigen Außenkontaktbereiche 26 sich innerhalb der Chipperipherie verteilt befinden.

Fig. 15 zeigt einen Modulverbund 72 mit einem Wafer 73 und einem auf dem Wafer 73 angeordneten Chipträgerverbund 74 mit einer Vielzahl zusammenhängend auf der gemeinsamen Trägerschicht 23 angeordneter Chipträger 76. Wie der Darstellung gemäß Fig. 15 zu entnehmen ist, weist der Wafer eine Vielzahl zusammenhängend ausgebildeter Chips 75 auf, denen jeweils ein Chipträger 76 aus dem Chipträgerverbund 74 zugeordnet ist. Zu der der Herstellung des in Fig. 15 dargestellten Modulverbunds 72 nachfolgenden Vereinzelung von Chipmodulen 77, die im vorliegenden Fall aus jeweils einem Chip 75 und einem Chipträger 76 gebildet sind, sind auf dem Wafer 73 Teilungsnuten 78 vorgesehen, längs deren Verlauf der Modulverbund 72 durch Sägen oder auch andere geeignete Trennvorgänge in die Chipmodule 77 vereinzelt werden kann.

Die aus dem Modulverbund 72 vereinzelten Chipmodule 77 können in einer Ausführungsform hinsichtlich ihres Aufbaus im wesentlichen mit dem in Fig. 1 dargestellten Chipmodul 20 übereinstimmen, mit dem Unterschied, daß der Chipträger 76 abweichend von dem in Fig. 1 dargestellten Chipträger 21 mit seinen Außenrändern im wesentlichen bündig mit den Chipseitenrändern verläuft und diese nicht, wie in Fig. 1 dargestellt, seitlich überragt.

Ein derartiger Chipträger 76 ist in Draufsicht in Fig. 16 dargestellt und ermöglicht, ausgehend von den Chipkontaktebereichen 81, eine sogenannte "Fan-In"-Verteilung von Anschlußflächen 79 einer Anschlußflächenanordnung 80 auf der Trägerschicht 23 des Chipträgers 76. Die Anschlußflächenanordnung 80 des Chipträgers 76 ist in Fig. 15 durch einen rahmenartigen, schraffierten Linienvorlauf vereinfacht dargestellt.

Abgesehen von dem vorstehend erwähnten Unterschied zum Aufbau des in Fig. 1 dargestellten Chipmoduls 20, derart, daß zur Herstellung eines Chipmoduls 77 eine im wesentlichen zu der Chipoberfläche bündige Ausbildung des Chipträgers 76 erforderlich ist, können zur Herstellung des in Fig. 15 dargestellten Modulverbunds sämtliche der in den Fig. 2 bis 7 dargestellten Verfahrensschritte durchgeführt werden, mit dem Unterschied, daß statt eines einzelnen Chips 22 eine Vielzahl in dem Wafer 73 zusammenhängend ausgebildeter Chips 75 und statt eines einzelnen Chipträgers 21 eine Vielzahl in dem Chipträgerverbund 74 zusammenhängend ausgebildeter Chipträger 76 verwendet werden. Es erfolgt somit die Herstellung von Chipmodulen 77 durch Vereinzelung der Chipmodule 77 aus einem zuvor beispielsweise entsprechend den in den Fig. 2 bis 7 dargestellten Verfahrensschritten hergestellten Modulverbund 72.

Um bei der großflächigen Applikation des Chipträgerverbunds 74 auf dem Wafer 73 – wie beispielsweise bezogen auf die Herstellung des einzelnen Chipmoduls 20 in Fig. 7 dargestellt – die Ausbildung von Lufteinschlüssen zwischen dem Chipträgerverbund und der Oberfläche des Wafers 73 zu verhindern, kann der Chipträgerverbund mit in Fig. 15 nicht näher dargestellten, als Perforationslinien ausgebildeten Teilungslinien versehen sein, die deckungsgleich mit

den Teilungslinien 78 des Wafers 73 sind, die einzelnen Chipträger 76 voneinander abteilen und gleichzeitig durch die Perforationen ein Entweichen von Luft zur Verhinderung der vorstehend erwähnten Lufteinschlüsse ermöglichen.

Zur Ermöglichung einer korrekten Relativpositionierung des Chipträgerverbunds 74 zum Wafer 73 mit entsprechenden, in Fig. 15 dargestellten Überdeckungslagen zwischen den einzelnen Chipträgern 76 und den Chips 75, die eine Kontaktierung zwischen den Chipkontaktebereichen 81 an den Enden von Leiterbahnen 82 von den einzelnen Chipträgern 76 zugeordneten Leiterbahnstrukturen 83 ermöglichen, kann der Wafer 73 auf seiner Oberfläche mit Positionierungsstiften 84, 85 versehen sein, die in korrespondierend ausgebildete, hier nicht näher dargestellte Positionierungsöffnungen in der Trägerschicht 23 des Chipträgerverbunds 74 eingreifen. Die Positionierungsstifte 84, 85 können von überhöht ausgebildeten Bumps im Randbereich des Wafers 73 unvollständig ausgebildeter Chips gebildet sein. Wie die übrigen, hier nicht näher dargestellten Bumps der funktionsfähigen Chips 75 können grundsätzlich die Bumps des Wafers durch beispielsweise autokatalytische Materialabscheidung oder eine Tauchbelötung hergestellt werden.

In den Fig. 17 bis 20 ist eine der in den Fig. 2 bis 7 abweichende Herstellung des Verbundes zwischen einem Chip und einem Chipträger bzw. einem Wafer und einem Chipträgerverbund am Beispiel der Verbindung einer Chipanschlußfläche 86 mit einer Leiterbahn 82 eines Chipträgers 76 dargestellt. Wie nachfolgend erläutert wird, ermöglicht der in den Fig. 17 bis 20 dargestellte Verbindungsauflauf eine besonders kostengünstige Herstellung von Chipmodulen 77 auf Waferebene (Fig. 15).

Wie die Draufsicht auf einen ausgeschnittenen Bereich des Chipträgers 76 in Fig. 17 in einer Zusammenschaublick mit der entsprechenden Seitenansicht in Fig. 18 deutlich macht, besteht der Chipträger 76 im vorliegenden Fall aus der Trägerschicht 23 mit einer auf deren Unterseite angeordneten Leiterbahnstruktur 83, von der hier lediglich die eine Leiterbahn 82 dargestellt ist. Die Leiterbahn 82 ist im vorliegenden Fall aus einem Stableiter 87 und einem Kreisflächenleiter 88 zusammengesetzt. Die Leiterbahn 82 ist so auf der Unterseite der Trägerschicht 23 angeordnet, daß sich ein Chipkontaktebereich 89 des Stableiters 87 und der Kreisflächenleiter 88 der Leiterbahn 82 unterhalb einer Öffnung 90 bzw. einer Ausnehmung 91 in der Trägerschicht 23 befinden. Die Ausnehmung 91 ist nach unten durch die Rückseite des Kreisflächenleiters 88 der Leiterbahn 82 begrenzt. Die Öffnung 90 in der Trägerschicht 23 reicht bis an die Rückseite des Stableiters 87 der Leiterbahn 82 und gibt überdies einen den Chipkontaktebereich 89 des Stableiters 87 umgebenden Umgebungsbereich 92 frei, der, wie in Fig. 17 dargestellt, sich noch über die Chipanschlußfläche 86 hinaus erstreckt.

Wie Fig. 18 zeigt, ist eine zur Herstellung des Verbunds zwischen dem Chipträgerverbund 74 und dem Wafer 73 vorgesehene Kleberschicht 98 so angeordnet, daß eine im wesentlichen mit der Fläche der Öffnung 90 deckungsgleiche Verbindungsfläche 93 auf der Oberfläche des Wafers 73 bzw. des Chips 75 ausgebildet ist, in deren Innenbereich die Chipanschlußfläche 86 angeordnet ist. Weiterhin wird aus Fig. 18 deutlich, daß zwischen der Oberfläche der Chipanschlußfläche 86 und der Unterseite des Stableiters 87 der Leiterbahn 82 ein Kontaktspalt 94 ausgebildet ist.

Fig. 19 zeigt die Ausnehmung 91 im Chipträger 76 des Chipträgerverbunds 74 und die im Umgebungsbereich 92 bis an die Oberfläche des Wafers 73 reichende Öffnung 90 des Chipträgers 76 nach Einbringung eines Verbindungsmaterials 95. Dabei ist die Öffnung 90 im Bereich der Chipan-

schlußfläche 86 und des Chipkontaktbereichs 89 der Leiterbahn 82 sowie der Kontaktspalt 94 mit dem Verbindungs material 95 ausgefüllt, so daß, wie aus der Schnittdarstellung in Fig. 20 deutlich wird, ein allseitiger Einschluß der Leiterbahn 82 im Chipkontaktbereich 89 mit sicherer Verbindung zur Chipanschlußfläche 86 die Folge ist. Dieser allseitige Einschluß ist eine Folge des allseitigen Aufwachens des Verbindungsmaterials 95 beim Abscheidevorgang. Hieraus ergibt sich auch ein Zuwachs des Kontaktspalts 94.

Als besonderer Vorteil bei dem in den Fig. 17 bis 20 dargestellten Verbindungsaufbau erweist es sich, daß sowohl die Ausnehmung 91 als auch die Öffnung 90 im Chipträger 76 in ein und demselben Verfahrensschritt mit Verbindungs material 95 gefüllt werden können, so daß einerseits Außenkontaktbumps 96 für die äußere Anschlußflächenanordnung 80 des Chipträgers 76 und andererseits Innenverbindungen 97 zwischen dem Wafer 73 bzw. den durch diesen zusammenhängend ausgebildeten Chips 75 und den Chipträgern 76 geschaffen werden.

Die Öffnungen 90 im Chipträgerverbund 74 sind ausreichend groß, so daß die Chipanschlußflächen 86 des Wafers 73 vor der Einbringung von Verbindungs material 95, die beispielsweise durch autokatalytische Abscheidung von Nickel oder dergleichen erfolgen kann, gereinigt und/oder mit einer Beschichtung, beispielsweise Zinkat oder einer Nickel-Zwischenschicht, versehen werden können.

Die Einbringung des Verbindungs materials kann auf besonders vorteilhafte Weise durch Eintauchen des Wafers 73 oder Hindurchführen des Wafers 73 in bzw. durch ein Materialbad erfolgen.

Abweichend von der in den Fig. 17 bis 20 dargestellten stabförmigen Geometrie der Leiterbahn 82 im Bereich der Öffnung 90 sind auch andere Leiterbahngeometrien möglich, die in besonderer Weise das vorbeschriebene Aufwachsen des Verbindungs materials beim Abscheidevorgang zur Ausbildung der Verbindung zwischen dem Chipanschluß 86 und der Leiterbahn 82 fördern und nutzen. So kann die Leiterbahn 82 einen ringförmig ausgebildeten Chipkontaktbereich aufweisen, dessen Innendurchmesser so bemessen ist, daß der Verbindungs materialaufbau auf der Chipanschlußfläche 86 infolge des Abscheidevorgangs quasi durch den Ring hindurch wächst und so zur Ausbildung der Verbindung beiträgt. Dabei kann der ringförmig ausgebildete Chipkontaktbereich durch den Rand der Öffnung 90 abgedeckt sein oder offenliegen. Insbesondere bei einem durch den Rand der Öffnung 90 in der Trägerschicht 23 abgedeckten ringförmigen Chipkontaktbereich läßt sich eine im wesentlichen zur Oberfläche des Chipträgers 76 bzw. des Chipträgerverbunds 74 bündig ausgebildete Oberfläche der Innenverbindung erzielen, ohne daß hierzu besondere Maßnahmen notwendig wären. Grundsätzlich kann die Öffnung 90 größer oder kleiner als die Chipanschlußfläche, aber auch gleich groß ausgebildet sein.

Weitere Möglichkeiten, die Ausbildung der Oberfläche der Innenverbindung durch die Gestaltung der Leiterbahn 82 in deren Chipkontaktbereich 89 über die Geometrie der Leiterbahn 82 zu beeinflussen, bestehen darin, die Leiterbahn 82 in diesem Bereich rahmenartig quadratisch, schlitzförmig oder auch kreuzartig auszubilden.

Patentansprüche

1. Chipmodul mit einem Chipträger und mindestens einem Chip, wobei der Chipträger als Folie ausgebildet ist mit einer Trägerschicht aus Kunststoff und einer Leiterbahnstruktur mit Leiterbahnen, und der Chipträger unter zwischenliegender Anordnung eines Füllstoffs mit dem Chip verbunden ist, wobei die Leiter-

bahnen auf ihrer Vorderseite mit Anschlußflächen des Chips verbunden sind und auf ihrer Rückseite Außenkontaktbereiche zur Ausbildung einer flächig verteilten Anschlußflächenanordnung zur Verbindung des Chipmoduls mit einem elektronischen Bauelement oder einem Substrat aufweisen, dadurch gekennzeichnet, daß die Leiterbahnen (28, 82) in einer Ebene auf der dem Chip (22, 75) zugewandten Chipkontaktseite (35) der Trägerschicht (23) verlaufen, die Außenkontaktbereiche (26) durch Ausnehmungen in der Trägerschicht (23) gebildet sind, die sich gegen die Rückseite (27) der Leiterbahnen (28, 82) erstrecken und die Trägerschicht (23) sich über den Bereich der Anschlußflächen (30) des Chips erstreckt.

2. Chipmodul nach Anspruch 1, dadurch gekennzeichnet, daß die Trägerschicht (23) im Bereich der Anschlußflächen (30) des Chips geschlossen ist.

3. Chipmodul nach Anspruch 1, dadurch gekennzeichnet, daß die Trägerschicht (23) in einem Überdeckungsbereich mit den Anschlußflächen (30) des Chips (75) Öffnungen (90) aufweist, die sich gegen die Rückseite (27) der Leiterbahnen (82) erstrecken und zur Aufnahme von die Leiterbahnen mit den zugeordneten Anschlußflächen elektrisch verbindendem Verbindungs material (95) dienen.

4. Chipmodul nach Anspruch 3, dadurch gekennzeichnet, daß die Leiterbahnen (82) im Bereich der Öffnungen so angeordnet sind, daß sie die Anschlußflächen (30) des Chips (75) nur bereichsweise mit einem Chipkontaktbereich (89) überdecken oder benachbart zu den Anschlußflächen (30) angeordnet sind.

5. Chipmodul nach einem oder mehreren der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß längs der Peripherie des Chips (22) verlaufend ein Stützrahmen vorgesehen ist.

6. Chipmodul nach einem oder mehreren der Ansprüche 1 bis 4, gekennzeichnet durch einen die Seitenflächen des Chips (22) mit einem die Chipoberfläche überragenden Überstand (49) des Chipträgers (21) verbindenden Verguß.

7. Chipmodul nach einem oder mehreren der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Außenkontaktbereiche (26) mit Lotmaterial (42) versehen sind, dessen Schmelzpunkt niedriger ist als die zur thermischen Verbindung zwischen den Kontaktflächenmetallisierungen (33) des Chips (22) und den Leiterbahnen (28) des Chipträgers (21) notwendige Temperatur.

8. Modulverbund mit einem Chipträgerverbund und einem Chipverbund, insbesondere einem Wafer, mit einer Vielzahl zusammenhängend ausgebildeter Chipmodule insbesondere nach einem oder mehreren der Ansprüche 1 bis 6.

9. Verfahren zur Herstellung eines Chipmoduls nach einem oder mehreren der Ansprüche 1 bis 7, gekennzeichnet durch die Verfahrensschritte:

- Auftragen eines fließfähigen Füllmaterials (37) auf die Chipoberfläche oder die Chipkontaktseite (35) des Chipträgers (21);

- einander Andrücken einer Chipkontaktseite (35) des Chipträgers (21) und der Chipoberfläche und Kontaktierung der Leiterbahnen (28) des Chipträgers (21) mit den zugeordneten Kontaktmetallisierungen (33) des Chips (22) durch eine rückwärtige Energiebeaufschlagung der Leiterbahnen (28) unter Zwischenlage der Trägerschicht (23) bei gleichzeitiger Verdrängung des Füllmaterials (37).

10. Verfahren zur Herstellung eines Chipmoduls nach einem oder mehreren der Ansprüche 1 bis 7, gekennzeichnet durch die Verfahrensschritte:
- Bereitstellung eines Chipträgers, der auf der dem Chip (22) zugewandten Chipkontaktseite (35) mit einer Kleberschicht versehen ist;
 - einander Andücken der Chipkontaktseite (35) des Chipträgers (21) und der Chipoberfläche und Kontaktierung der Leiterbahnen (28) des Chipträgers (21) mit den zugeordneten Kontaktmetallisierungen (33) des Chips (22) durch eine rückwärtige Energiebeaufschlagung der Leiterbahnen (28) unter Zwischenlage der Trägerschicht (23) bei gleichzeitiger Verdrängung des Klebermaterials (37).
11. Verfahren zur Herstellung eines Chipmoduls nach einem oder mehreren der Ansprüche 1 bis 7, gekennzeichnet durch die Verfahrensschritte:
- Herstellung eines Modulverbunds (72) mit einem Chipträgerverbund (74) und einem Chipverbund (73) nach Anspruch 8;
 - Herstellung einer Mehrzahl einzelner Chipmodule (77) durch Vereinzelung von Einheiten aus mindestens einem Chip (75) und einem damit kontaktierten Chipträger (76) aus dem Modulverbund (73).
12. Verfahren nach Anspruch 11, gekennzeichnet durch die folgenden Verfahrensschritte zur Herstellung des Modulverbunds (72):
- Bereitstellung eines Wafers (73), der auf den Anschlußflächen (86) mit erhöhten Kontaktmetallisierungen versehen ist, und eines Chipträgerverbunds (74) mit einer Vielzahl von auf einer gemeinsamen Trägerschicht (23) angeordneten Leiterbahnstrukturen (83) mit Leiterbahnen (82);
 - Auftragen einer fließfähigen Füllmaterials (37) auf die Kontaktfläche des Wafers oder die Chipkontaktseite des Chipträgerverbunds;
 - Relativpositionierung des Wafers und des Chipträgerverbunds, derart, daß sich eine Überdeckungslage zwischen den Kontaktmetallisierungen des Wafers und Kontaktbereichen (89) der zugeordneten Leiterbahnen (82) der Leiterbahnstrukturen einstellt;
 - Herstellung einer flächigen Verbindung zwischen dem Wafer und dem Chipträgerverbund und Kontaktierung der Kontaktmetallisierungen des Wafers mit den zugeordneten Leiterbahnen des Chipträgerverbunds.
13. Verfahren nach Anspruch 11, gekennzeichnet durch die folgenden Verfahrensschritte zur Herstellung des Modulverbunds (72):
- Bereitstellung eines Wafers (73), der auf den Anschlußflächen (86) mit erhöhten Kontaktmetallisierungen versehen ist, und eines Chipträgerverbunds (74) mit einer Vielzahl von auf einer gemeinsamen Trägerschicht (23) angeordneten Leiterbahnstrukturen (83) mit Leiterbahnen (82) und einer Kleberschicht (37) auf der Chipkontaktseite der Trägerschicht (23);
 - Relativpositionierung des Wafers (73) und des Chipträgerverbunds (74), derart, daß sich eine Überdeckungslage zwischen den Kontaktmetallisierungen des Wafers und Kontaktbereichen (89) der zugeordneten Leiterbahnen (82) der Leiterbahnstrukturen einstellt;
 - Herstellung einer flächigen Verbindung zwischen dem Wafer (73) und dem Chipträgerver-

- bund (74) und Kontaktierung der Kontaktmetallisierungen des Wafers mit den zugeordneten Leiterbahnen des Chipträgerverbunds.
14. Verfahren nach Anspruch 12 oder 13, dadurch gekennzeichnet, daß die Kontaktierung der Kontaktmetallisierungen mit den Leiterbahnen (82) durch die Trägerschicht (23) des Chipträgerverbunds (74) erfolgt.
15. Verfahren nach einem oder mehreren der Ansprüche 12 bis 14, dadurch gekennzeichnet, daß als Hilfsmittel zur Relativpositionierung des Wafers (73) gegenüber dem Chipträgerverbund (74) der Wafer mit mindestens zwei Positionierungsstiften (84, 85) versehen ist, die in korrespondierend ausgebildete Positionierungsoffnungen in der Trägerschicht des Chipträgerverbunds (74) eingreifen.
16. Verfahren nach Anspruch 11, gekennzeichnet durch die folgenden Verfahrensschritte zur Herstellung des Modulverbunds (72):
- Bereitstellung eines Wafers (73) und eines Chipträgerverbunds (74) mit einer Vielzahl auf einer gemeinsamen Trägerschicht (23) angeorderter Leiterbahnstrukturen (83) mit Leiterbahnen (82), wobei die Trägerschicht (23) die Rückseite des Chipkontaktbereichs (89) der Leiterbahnen (82) freigebende Öffnungen aufweist;
 - Auftragen eines fließfähigen Füllmaterials (37) auf die Kontaktfläche des Wafers (73) oder die Chipkontaktseite des Chipträgerverbunds (74), derart, daß die Anschlußflächen (86) des Wafers bzw. die Öffnungen (90) der Trägerschicht (23) frei bleiben;
 - Relativpositionierung des Wafers (73) und des Chipträgerverbunds (74), derart, daß sich eine Überdeckungslage zwischen den Anschlußflächen des Wafers und den Öffnungen in der Trägerschicht des Chipträgerverbunds einstellt;
 - Herstellung einer flächigen Verbindung zwischen dem Wafer (73) und dem Chipträgerverbund (74) und Kontaktierung der Anschlußflächen des Wafers mit den Chipkontaktbereichen der zugeordneten Leiterbahnen durch Einbringung von Verbindungsmaterial (95) in die Öffnungen (90) der Trägerschicht (23) des Chipträgerverbunds.
17. Verfahren nach Anspruch 11, gekennzeichnet durch die folgenden Verfahrensschritte zur Herstellung des Modulverbunds (72):
- Bereitstellung eines Wafers (73) und eines Chipträgerverbunds (74) mit einer Vielzahl auf einer gemeinsamen Trägerschicht (23) angeorderter Leiterbahnstrukturen (83) mit Leiterbahnen (82), wobei die Trägerschicht (23) auf ihrer Chipkontaktseite mit einer Kleberschicht (37) versehen ist und die Rückseite des Chipkontaktbereichs (89) der Leiterbahnen (82) freigebende Öffnungen aufweist;
 - Relativpositionierung des Wafers (73) und des Chipträgerverbunds (74), derart, daß sich eine Überdeckungslage zwischen den Anschlußflächen des Wafers und den Öffnungen (90) in der Trägerschicht (23) des Chipträgerverbunds (74) einstellt;
 - Herstellung einer flächigen Verbindung zwischen dem Wafer (73) und dem Chipträgerverbund (74) und Kontaktierung der Anschlußflächen des Wafers mit den Chipkontaktbereichen der zugeordneten Leiterbahnen durch Einbringung von Verbindungsmaterial (95) in die Öffnungen (90) der Trägerschicht (23) des Chipträgerverbunds (74).

DE 197 02 014 A 1

17

- gen (90) der Trägerschicht (23) des Chipträgerverbunds.
18. Verfahren nach Anspruch 16 oder 17, dadurch gekennzeichnet, daß die Kontaktierung durch eine Abscheidung von Verbindungsmaterial (95) in den Öffnungen (90) der Trägerschicht (23) erfolgt. 5
19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, die Kontaktierung durch stromlose Abscheidung von Verbindungsmaterial in einem Materialbad erfolgt. 10
20. Verfahren nach Anspruch 19, dadurch gekennzeichnet, daß als Materialbad ein Nickelbad verwendet wird.
21. Verfahren nach Anspruch 16 oder 17, dadurch gekennzeichnet, daß die Kontaktierung durch Einbringung von Lotmaterial in die Öffnungen (90) der Trägerschicht (23) erfolgt. 15
22. Verfahren nach Anspruch 16 oder 17, dadurch gekennzeichnet, daß die Kontaktierung durch Einbringung von leitfähigem Kleber in die Öffnungen (90) der Trägerschicht (23) erfolgt. 20
23. Verfahren nach einem oder mehreren der Ansprüche 16 bis 22, dadurch gekennzeichnet, daß gleichzeitig mit der Einbringung von Verbindungsmaterial (95) in die Öffnungen (90) der Trägerschicht (23) eine Einbringung von Verbindungsmaterial in die Ausnehmungen (91) der Trägerschicht erfolgt. 25
24. Verfahren nach einem oder mehreren der vorangehenden Ansprüche, dadurch gekennzeichnet, daß der Wafer (73) auf seiner Rückseite mit einer Deckschicht versehen wird. 30
25. Verfahren nach Anspruch 24, dadurch gekennzeichnet, daß zur Erzeugung der Deckschicht ein Epoxid-Material auf die Rückseite des Wafers (73) aufgebracht wird. 35
26. Verfahren nach Anspruch 24, dadurch gekennzeichnet, daß zur Erzeugung der Deckschicht eine Folie auf der Rückseite des Wafers (73) aufgebracht wird.
27. Verfahren nach einem oder mehreren der Ansprüche 11 bis 26, dadurch gekennzeichnet, daß die Vereinzelung von Chipmodulen (77) aus dem Modulverbund (72) durch Trennung aneinander angrenzender Chipmodule längs definierter Trennlinien (78) erfolgt. 40
28. Verfahren nach Anspruch 27, dadurch gekennzeichnet, daß die Trennung mittels Sägen erfolgt. 45
29. Verfahren nach einem oder mehreren der Ansprüche 11 bis 26, dadurch gekennzeichnet, daß vor der Vereinzelung über die Leiterbahnstruktur (83) des Chipträgerverbunds (74) eine elektrische Überprüfung des Wafers (73) erfolgt. 50
30. Verfahren nach Anspruch 16 oder 17, dadurch gekennzeichnet, daß vor der Vereinzelung von Chipmodulen (77) aus dem Modulverbund (72) die Einbringung von Lotmaterial (95) in die Ausnehmungen (91) in der Trägerschicht (23) des Chipträgerverbunds (74) erfolgt. 55
31. Verfahren nach einem oder mehreren der vorangehenden Ansprüche, dadurch gekennzeichnet, daß ein zur Verbindung des Chipträgers (21) bzw. des Chipträgerverbunds (74) mit der Chipoberfläche bzw. der Waferoberfläche notwendiger Verbindungsdruck mittels Vakuum erzeugt wird. 60
32. Verfahren nach einem oder mehreren der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Außenkontaktbereiche (26, 91) und/oder die Öffnungen (90) in einem Schablonenauftragsverfahren mit Lotmaterial (42, 95) versehen werden, wobei die Trägerschicht in einem nachfolgenden Umschmelzverfah- 65

18

- ren zur Erzeugung von Lotmaterialdepots (29) als Löstopmaske dient.
33. Verfahren nach einem oder mehreren der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Außenkontaktbereiche (26, 91) in einem Bestückungsverfahren mit Lotmaterialformstücken (57) versehen werden.
34. Verfahren nach einem oder mehreren der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Verbindung zwischen den Kontaktmetallisierungen (33) des Chips (22) bzw. des Wafers (73) und den Leiterbahnen (28, 82) des Chipträgers (21) bzw. des Chipträgerverbunds (74) mit einem Lötverfahren erfolgt.
35. Verfahren nach einem oder mehreren der Ansprüche 1 bis 34, dadurch gekennzeichnet, daß die Verbindung zwischen den Kontaktmetallisierungen (33) des Chips (22) bzw. des Wafers (73) und den Leiterbahnen (28, 82) des Chipträgers (21) bzw. des Chipträgerverbunds (74) mit einem Thermokompressionsverfahren erfolgt.
36. Verfahren nach einem oder mehreren der Ansprüche 1 bis 34, dadurch gekennzeichnet, daß die Verbindung zwischen den Kontaktmetallisierungen (33) des Chips (22) bzw. des Wafers (73) und den Leiterbahnen (28, 82) des Chipträgers (21) bzw. des Chipträgerverbunds (74) mit einem Ultraschallverfahren erfolgt.

Hierzu 12 Seite(n) Zeichnungen

FIG 1

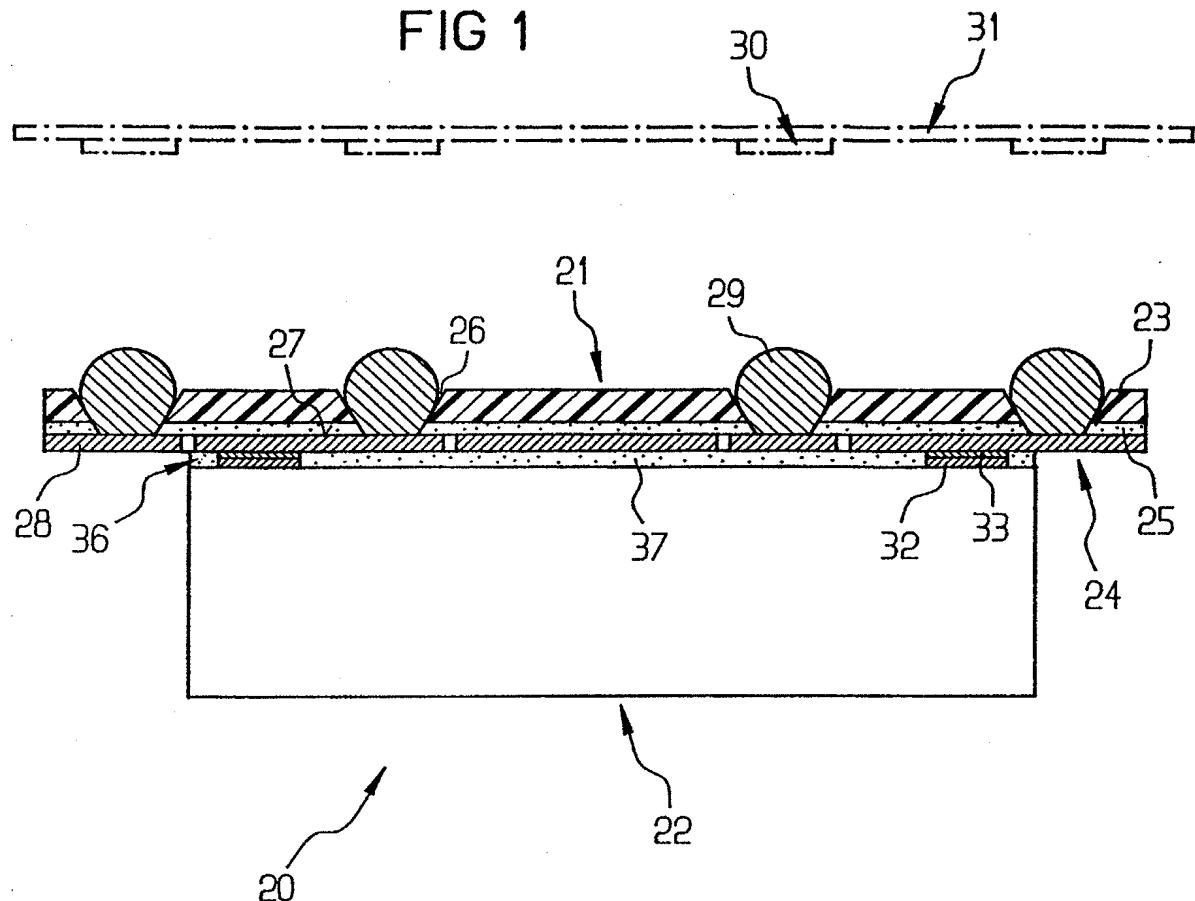


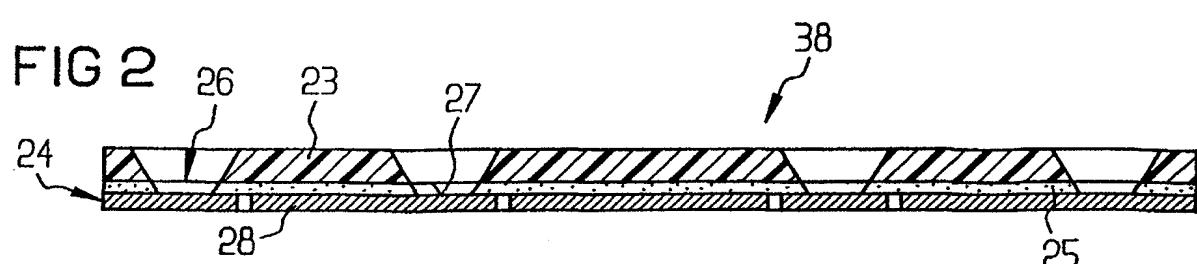
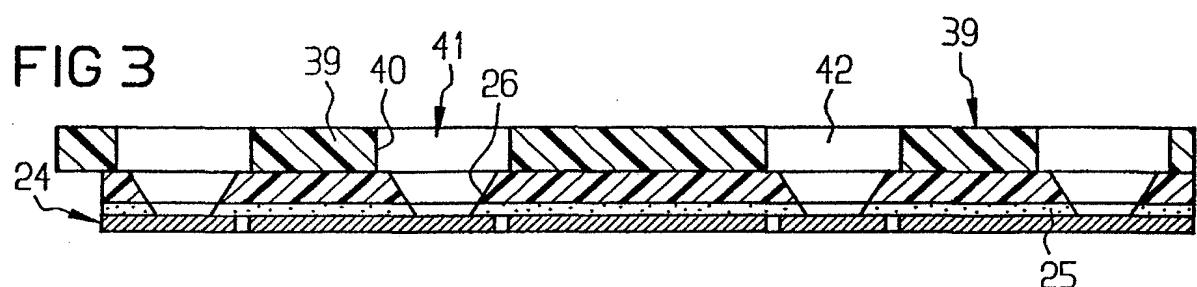
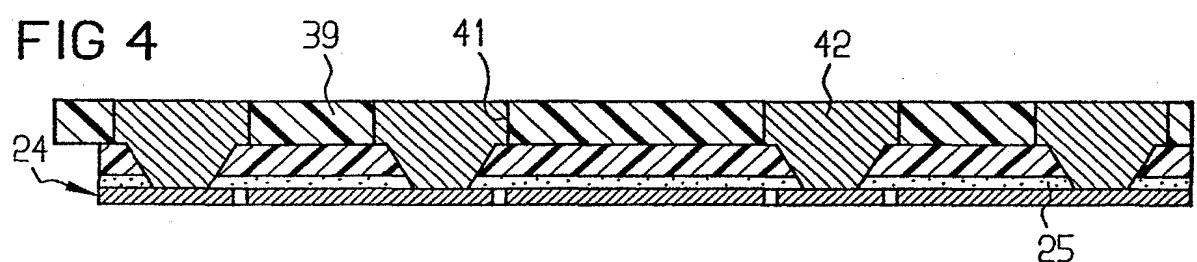
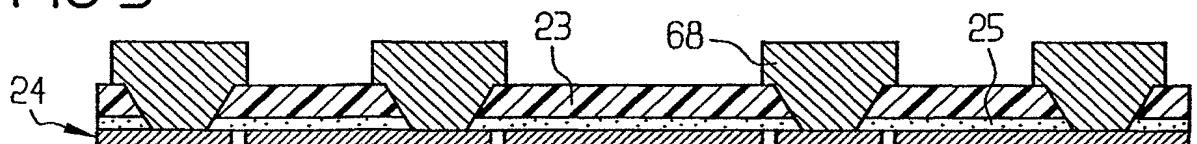
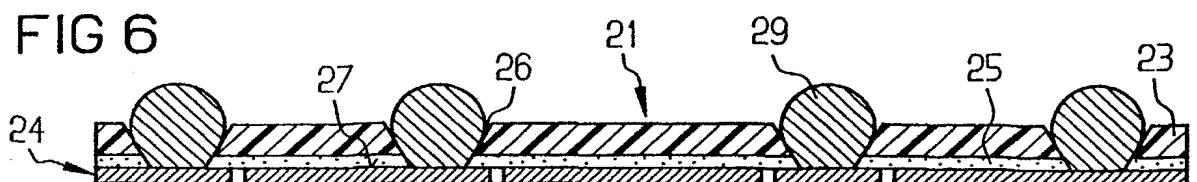
FIG 2**FIG 3****FIG 4****FIG 5****FIG 6**

FIG 7

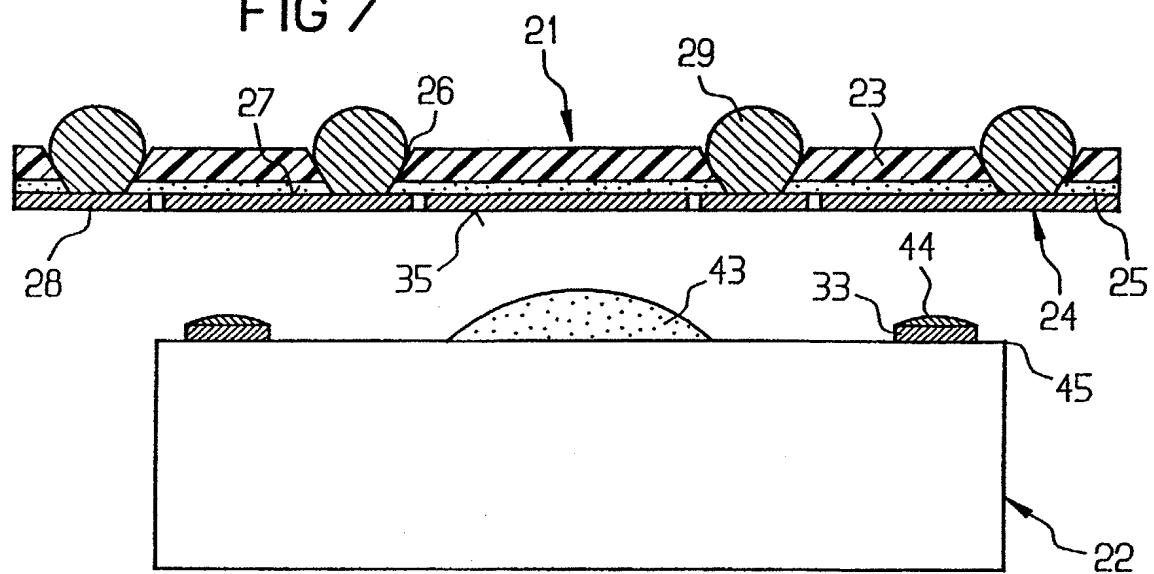


FIG 11

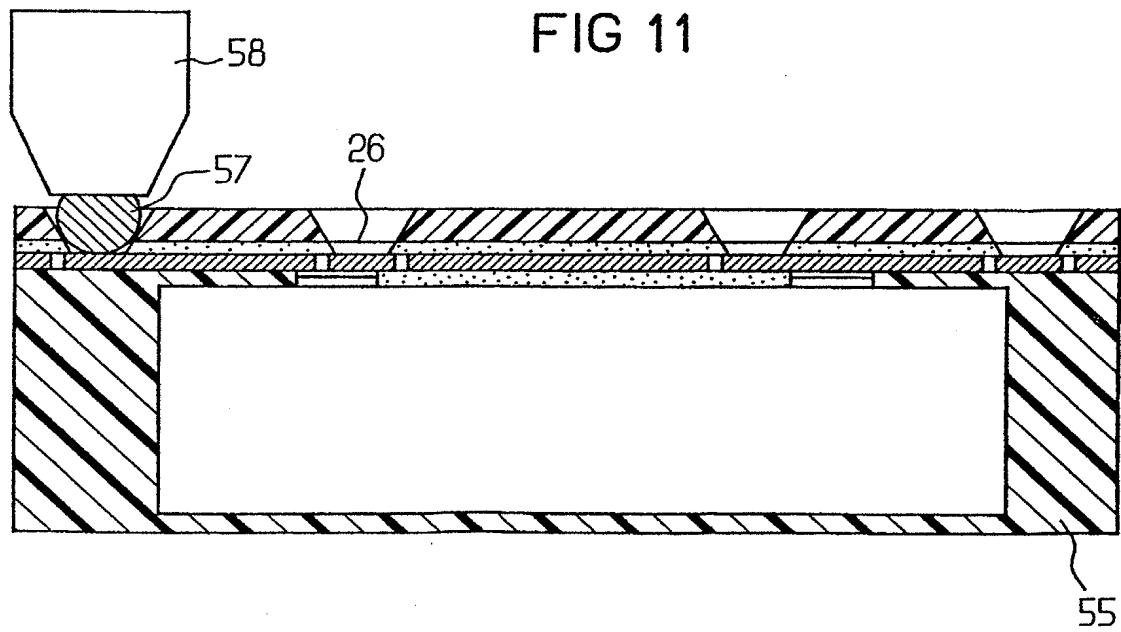
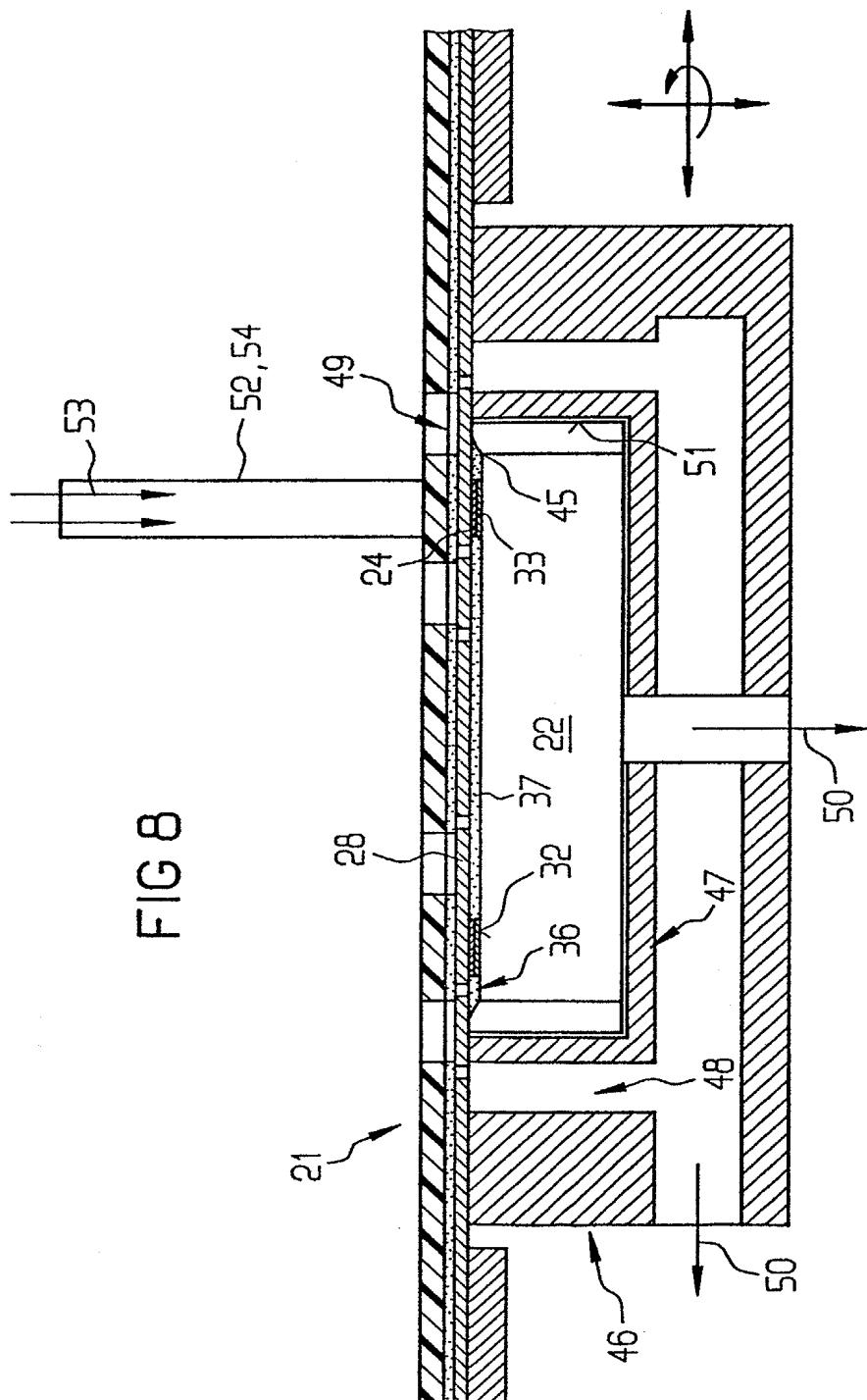
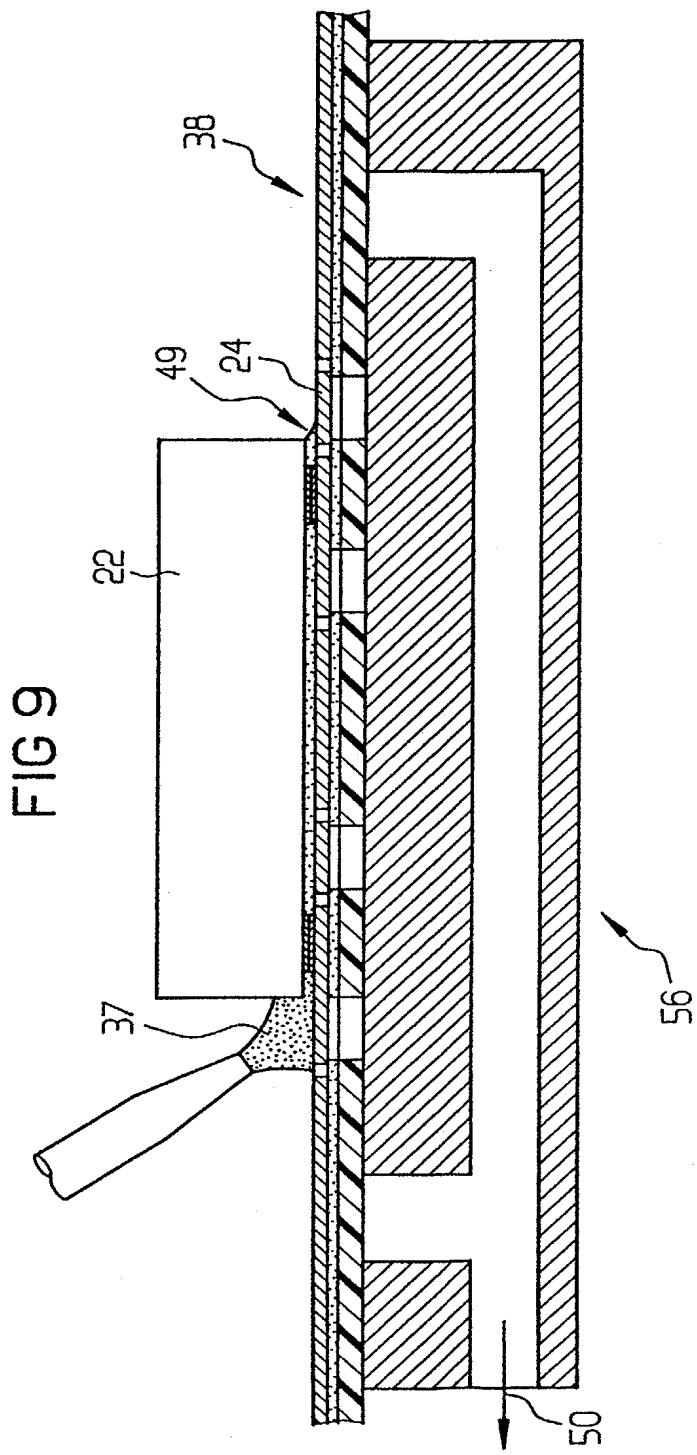


FIG 8





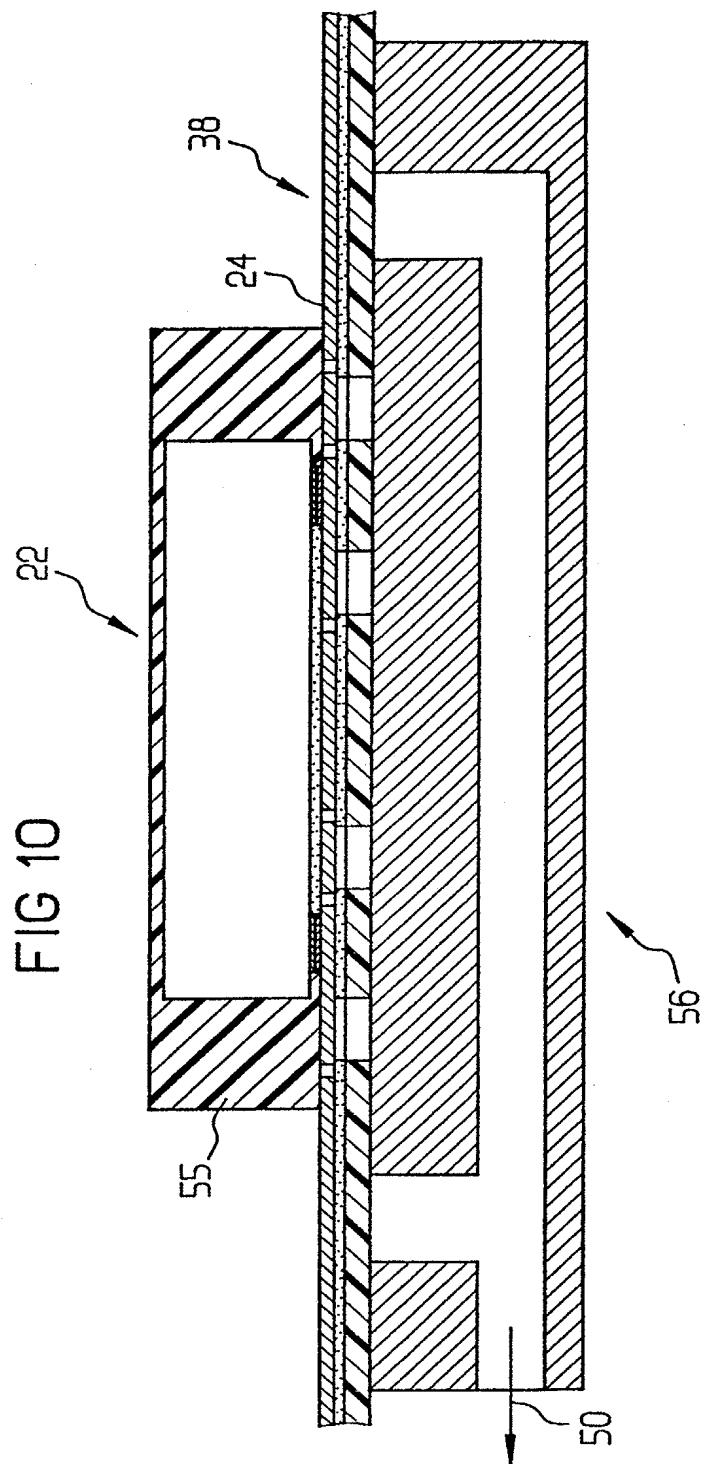


FIG 12

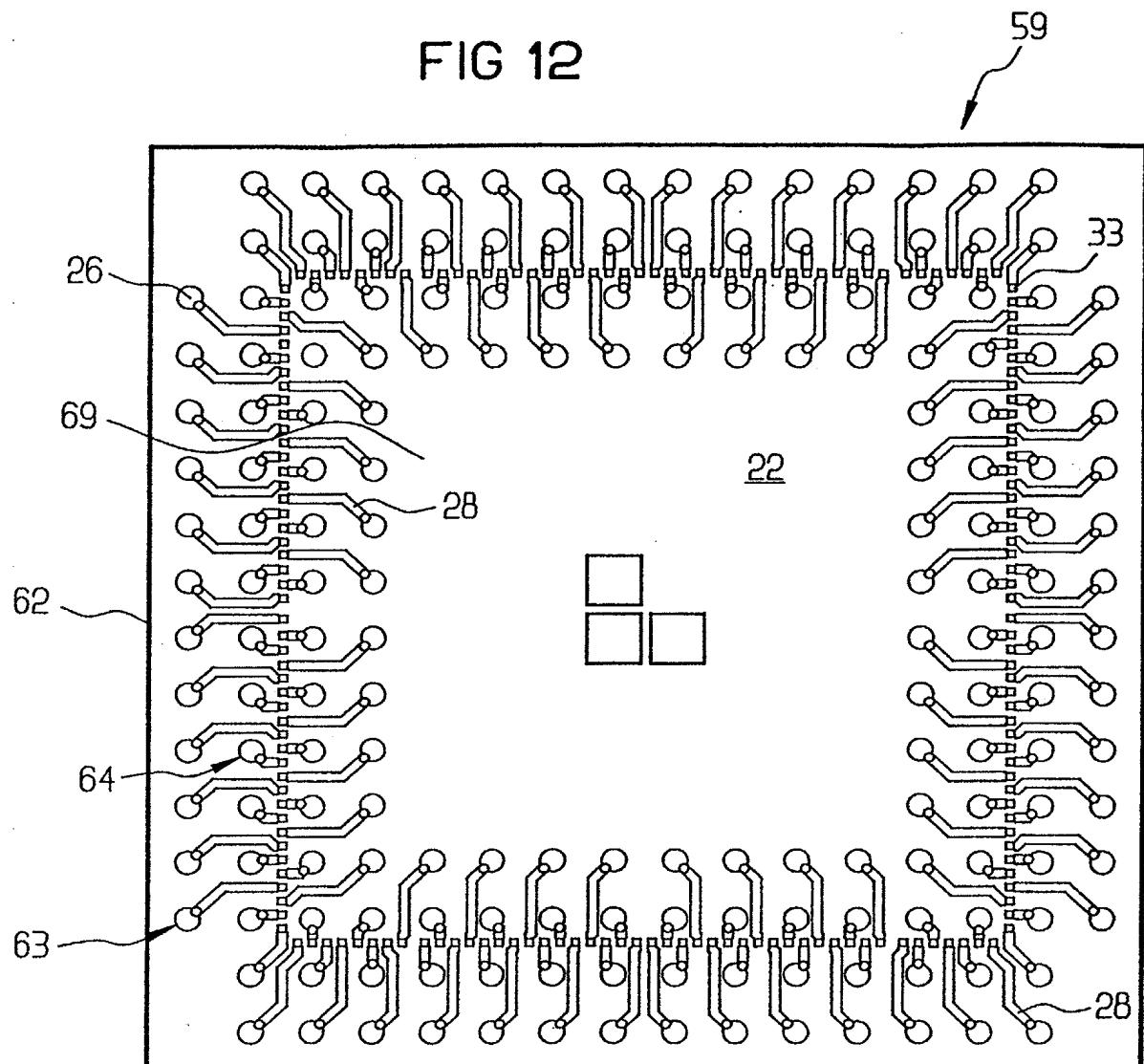


FIG 13

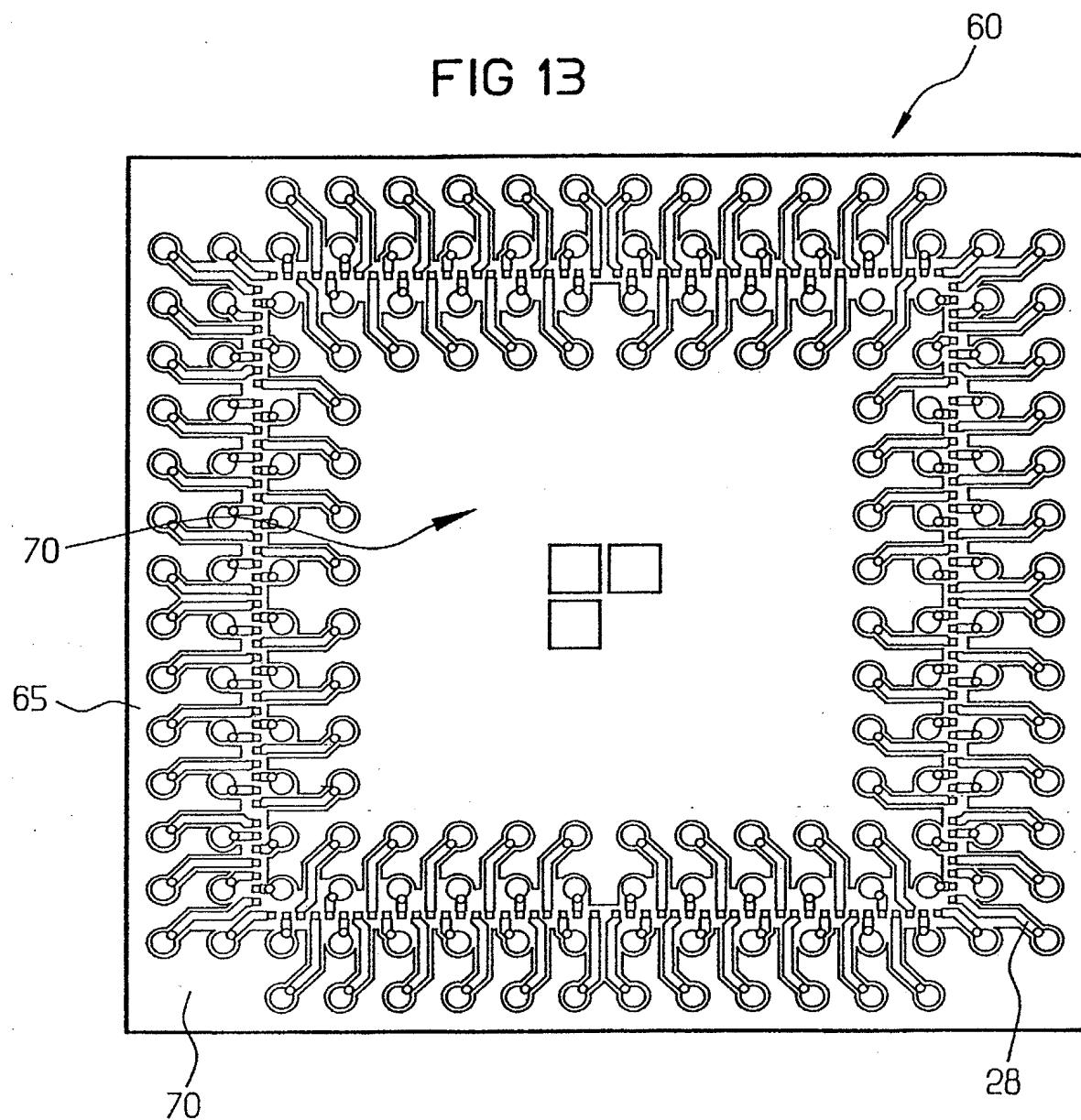


FIG 14

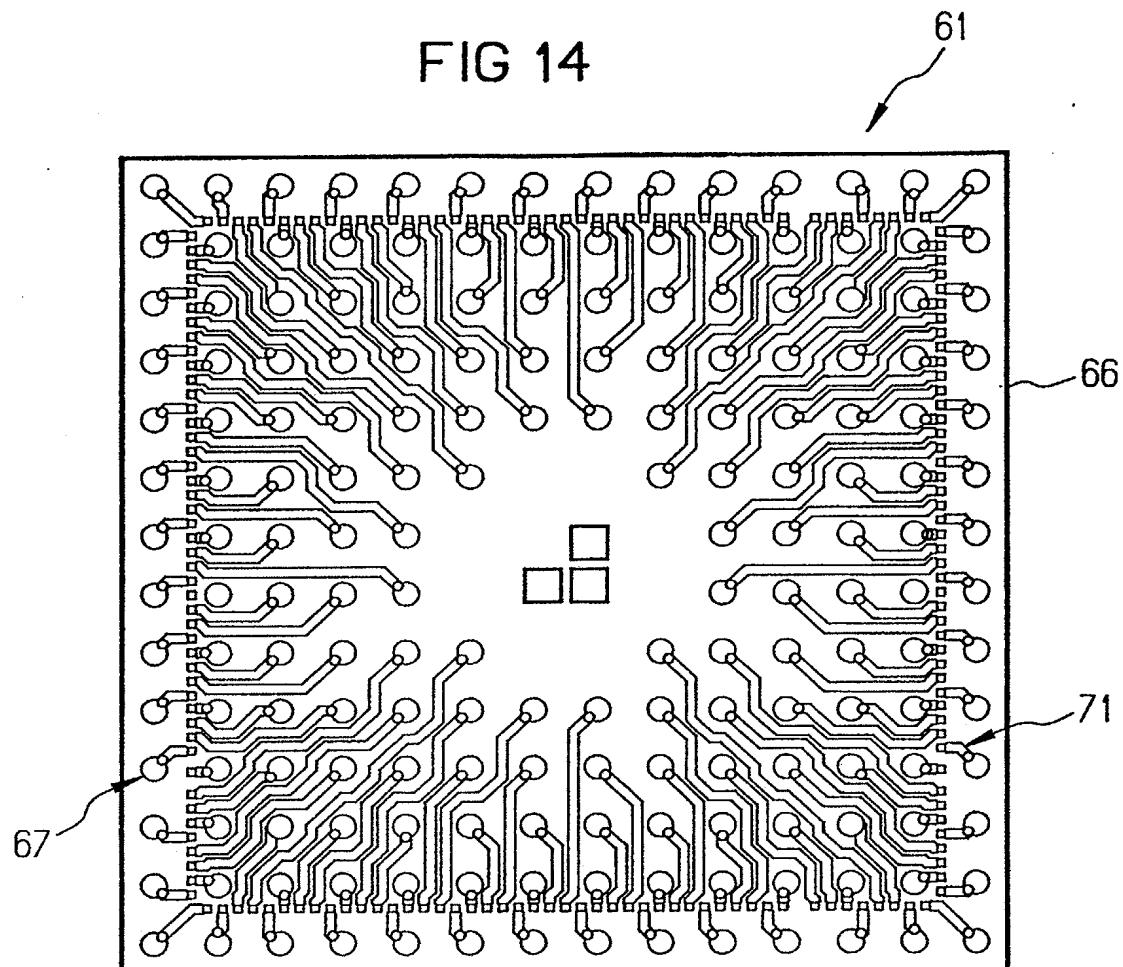


FIG 15

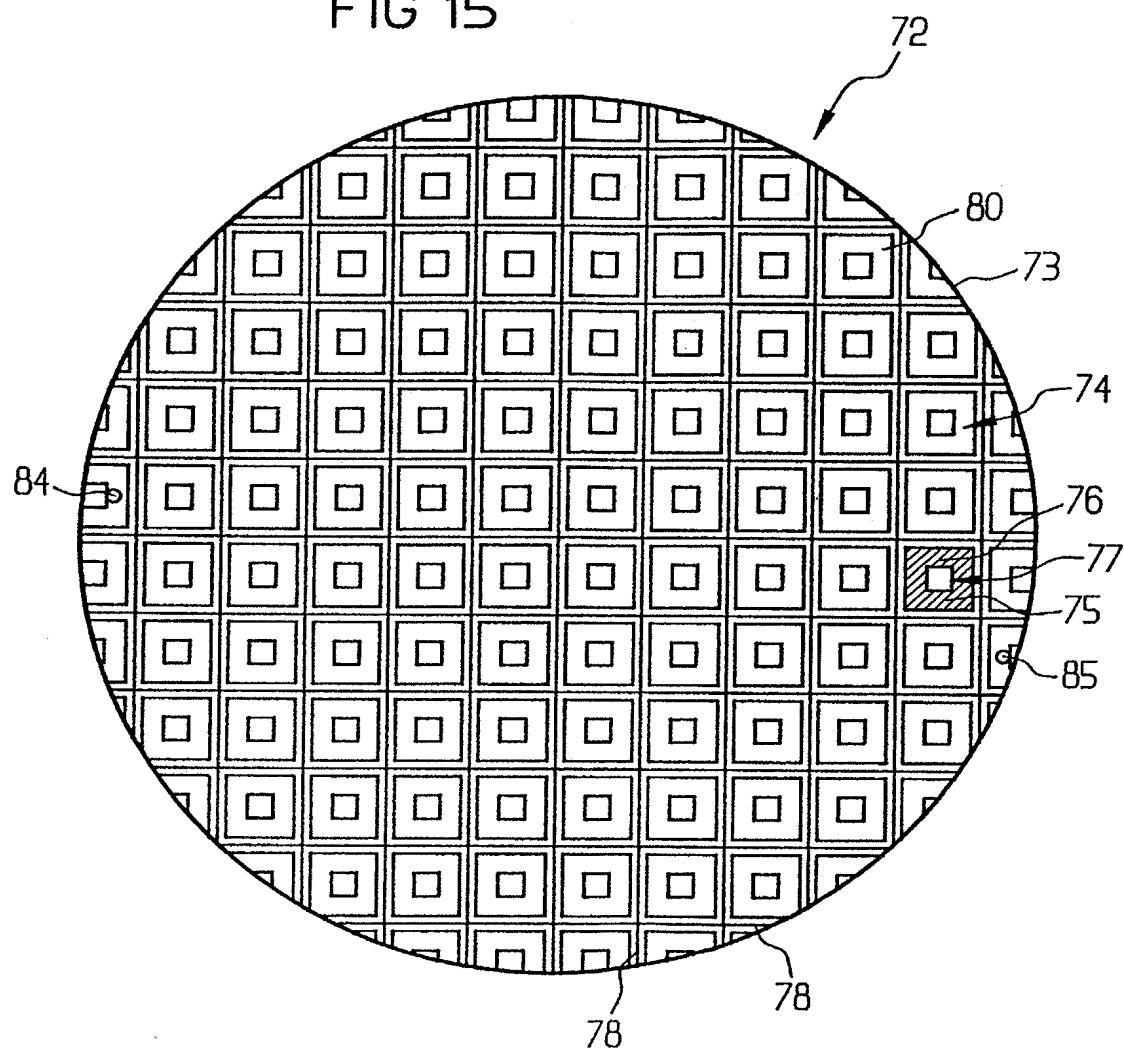


FIG 16

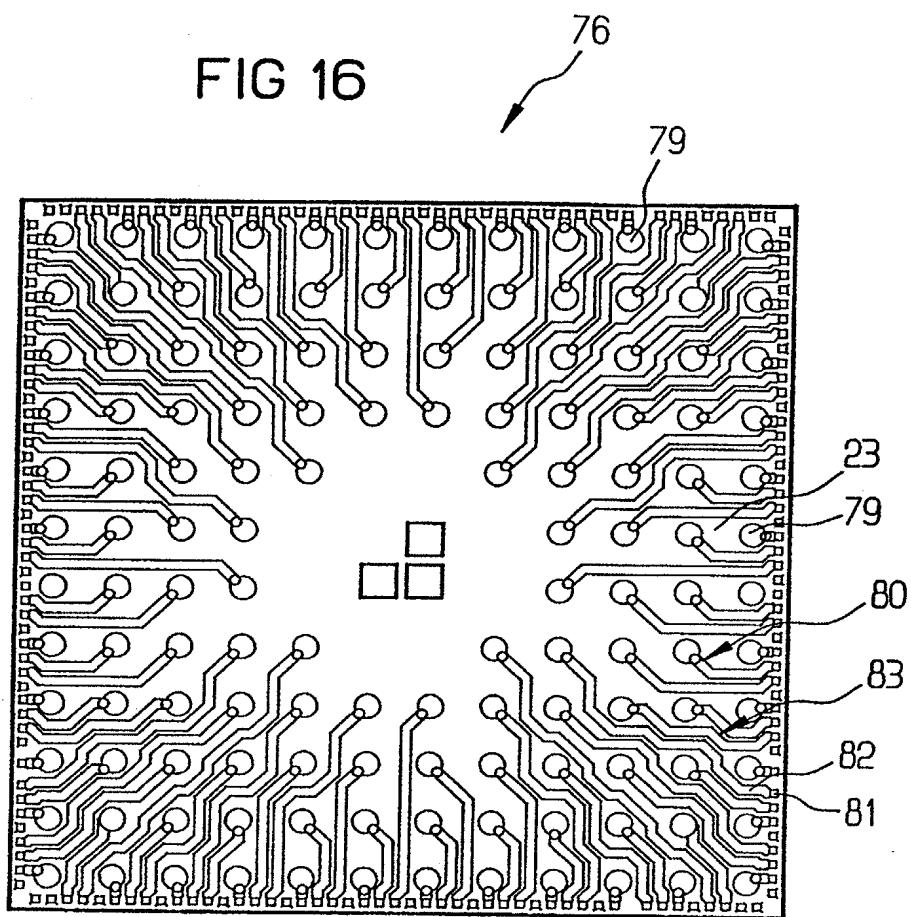


FIG 17

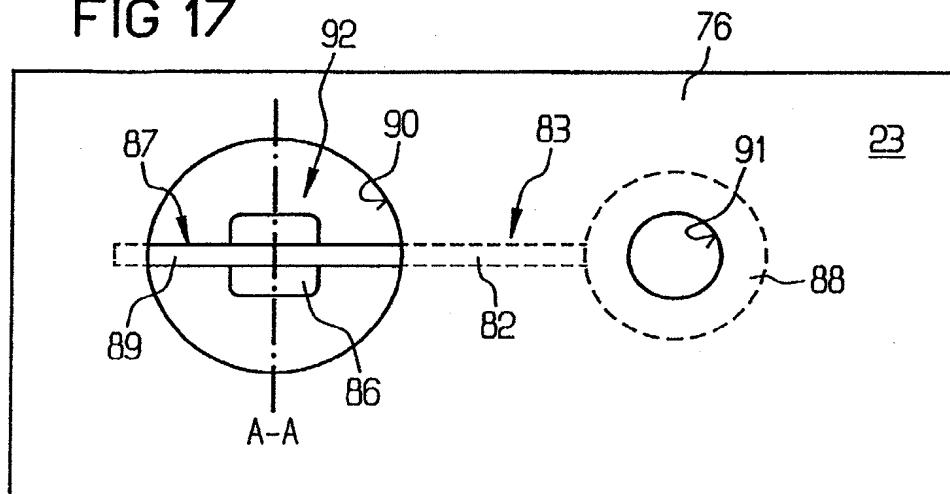


FIG 18

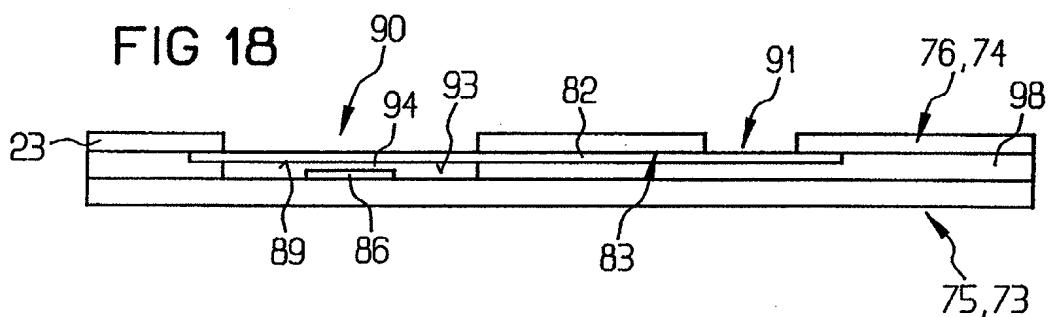


FIG 19

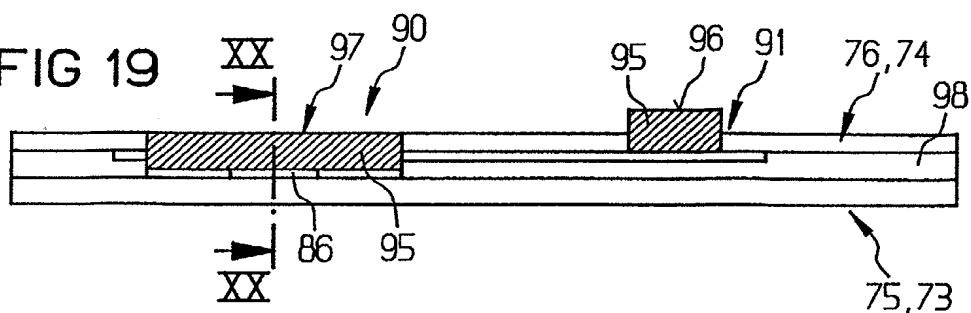


FIG 20

